***Томский*** ***межвузовский*** ***центр*** ***дистанционного*** ***образования***

**А.В.** **Шарапов**

**МИКРОЭЛЕКТРОНИКА**

**ЦИФРОВАЯ** **СХЕМОТЕХНИКА**

***Учебное*** ***пособие***

G

|  |  |  |
| --- | --- | --- |
|  |  | D T C |
|  |
|  | |
| D T C |
|  | |
| D T C |

*Q*1

*Q*2

*Q*3

|  |  |  |
| --- | --- | --- |
| Логика переходов | *D*1 |  |
| *D*2 |
| *D*3 | |

**ТОМСК** **–** **2007**

Рецензент: зав. кафедрой промышленной и медицинской элект-роники Томского политехнического университета, д-р техн. наук, проф. Г.С. Евтушенко;

начальник отдела ФГУП «НПЦ «Полюс», д-р техн. наук Ю.М. Казанцев

Корректор: Тарасова Л.К.

**Шарапов** **А.В.**

Микроэлектроника: Учебное пособие. — Томск: Томский межвузовский центр дистанционного образования, 2007. — 158 с.

Излагаются принципы построения и функционирования логических элементов, дешифраторов, мультиплексоров, сумматоров, цифровых компараторов, триггеров, счетчиков, регистров, микросхем памяти. Рассмотрены примеры синтеза цифровых устройств комбинационного типа и цифровых автоматов.

Пособие предназначено для студентов вузов радиоэлектронного профиля и содержит краткий конспект лекций, примеры решения задач и компьютерный лабораторный практикум по цифровой схемотехнике. Студенты дистанционной формы обучения выполняют две лабораторные работы, одну компьютерную контрольную работу и сдают компьютерный экзамен.

Шарапов А.В., 2007

Томский межвузовский центр дистанционного образования, 2007

3

**ОГЛАВЛЕНИЕ**

**1** **Введение..........................................................................................6**

**2** **Основные** **понятия** **микроэлектроники** **..................................11** 2.1 Виды сигналов.........................................................................11 2.2 Классификация микросхем и их условные обозначения ....13

**3** **Математические** **основы** **цифровой** **электроники.................23** 3.1 Позиционные системы счисления.........................................23 3.2 Таблица истинности................................................................27 3.3 Совершенная дизъюнктивная нормальная форма ...............29 3.4 Основные законы булевой алгебры.......................................30 3.5 Диаграммы Венна...................................................................34 3.6 Карты Карно............................................................................35 3.7 Этапы синтеза цифрового устройства...................................38 3.8 Примеры синтеза цифровых устройств................................38 3.9 Мажоритарный логический элемент.....................................41

**4** **Базовые** **логические** **элементы..................................................43** 4.1 Классификация логических элементов.................................43 4.2 Базовый элемент ТТЛ.............................................................43 4.3 Логический расширитель.......................................................45 4.4 Элемент с открытым коллектором........................................45 4.5 Элемент с Z-состоянием на выходе.......................................46 4.6 Рекомендации по применению элементов ТТЛ...................47 4.7 Базовый элемент ТТЛШ.........................................................48 4.8 Базовая схема ЭСЛ..................................................................49 4.9 Базовые элементы КМОП......................................................50 4.10 Основные характеристики логических элементов.............51 4.11 Примеры микросхем логических элементов......................54 4.12 Микросхемы на основе арсенида галлия............................56

**5** **Цифровые** **устройства** **комбинационного** **типа** **.....................59** 5.1 Шифратор................................................................................59 5.2 Дешифратор.............................................................................61 5.3 Преобразователи двоичного кода в двоично-десятичный,

и наоборот...............................................................................63 5.4 Дешифратор для управления семисегментным

индикатором...........................................................................65

4

5.5 Преобразователи кода Грея....................................................66 5.6 Мультиплексор........................................................................67 5.7 Реализация функций с помощью мультиплексора ..............69 5.8 Двоичный сумматор ...............................................................70 5.9 Двоично-десятичный сумматор.............................................73 5.10 Схемы вычитания..................................................................74 5.11 Преобразователь прямого кода в дополнительный...........76 5.12 Цифровой компаратор..........................................................77 5.13 Контроль четности................................................................78 5.14 Примеры построения комбинационных цифровых

устройств................................................................................80

**6** **Цифровые** **устройства** **последовательностного** **типа............84** 6.1 Классификация триггеров......................................................84 6.2 Асинхронный RS-триггер ......................................................85 6.3 Тактируемый RS-триггер.......................................................85 6.4 D-триггеры...............................................................................86 6.5 T-триггер..................................................................................87 6.6 JK-триггер................................................................................88 6.7 Классификация счетчиков......................................................90 6.8 Асинхронный двоичный счетчик..........................................90 6.9 Асинхронный двоично-десятичный счетчик........................91 6.10 Синхронный двоичный счетчик..........................................92 6.11 Реверсивные счетчики..........................................................92 6.12 Счетчики с произвольным модулем счета..........................93 6.13 Регистры сдвига ....................................................................96 6.14 Регистры памяти ...................................................................97 6.15 Универсальные регистры.....................................................97 6.16 Кольцевой регистр................................................................98 6.17 Кольцевой счетчик................................................................99 6.18 Счетчики на регистрах сдвига.............................................99 6.19 Примеры построения цифровых устройств

последовательностного типа...............................................101

**7** **Полупроводниковые** **запоминающие** **устройства** **...............107** 7.1 Классификация запоминающих устройств.........................107 7.2 ПЗУ масочного типа.............................................................108 7.3 Однократно программируемые ПЗУ...................................109 7.4 Перепрограммируемые ПЗУ................................................110

5

7.5 ОЗУ статического типа.........................................................111 7.6 ОЗУ динамического типа.....................................................113 7.7 Примеры микросхем памяти................................................114 7.8 Организация блока памяти...................................................115

**8** **Примеры** **решения** **задач.........................................................117** **9** **Компьютерный** **практикум** **по** **цифровой** **схемотехнике** **...131** **10** **Варианты** **творческих** **заданий.............................................145** **11** **Пример** **выполнения** **творческого** **задания.........................147** **Список** **литературы......................................................................150**

**Приложение.** Условные графические обозначения микросхем**....................................................................................152**

6

**1** **ВВЕДЕНИЕ**

*Электроникой* называют раздел науки и техники, занимаю-щийся:

– исследованием физических явлений и разработкой прибо-ров, действие которых основано на протекании электрического тока в твердом теле, вакууме или газе

– изучением электрических свойств, характеристик и пара-метров названных приборов

– практическим применением этих приборов в различных устройствах и системах.

Первое из указанных направлений составляет область *физи-ческой* *электроники*. Второе и третье направления составляют область *технической* *электроники.*

*Схемотехника* *электронных* *устройств* — это инженерное воплощение принципов электроники для практической реализа-ции электронных схем, призванных выполнять конкретные функ-ции генерирования, преобразования и хранения сигналов, несу-щих информацию в слаботочной электронике и функции преоб-разования энергии электрического тока в сильноточной электро-нике.

Исторически электроника явилась следствием возникнове-ния и быстрого развития *радиотехники*. Радиотехнику определя-ют как область науки и техники, занимающуюся исследованиями, разработкой, изготовлением и применением устройств и систем, предназначенных для передачи информации по радиочастотным каналам связи.

В основе радиотехники лежат научные открытия XIX века: работы М. Фарадея (англ.), выяснившего закономерности взаи-модействия электрического и магнитных полей; Дж. Максвелла (англ.), обобщившего элементарные законы электромагнетизма и создавшего систему уравнений, описывающих электромагнитное поле. Дж. Максвелл теоретически предсказал новый вид электро-магнитных явлений — электромагнитные волны, распростра-няющиеся в пространстве со скоростью света. Г. Герц (нем.) экс-периментально подтвердил существование электромагнитных волн.

7

Первый радиоприемник был изобретен, сконструирован и успешно испытан в 1895 г. А.С. Поповым (рус.). Годом позже радиосвязь осуществил Г. Маркони (итал.), запатентовавший свое изобретение и ставший Нобелевским лауреатом в 1909 году.

С этих пор развитие радиотехники определялось развитием ее элементной базы, которая в основном определяется достиже-ниями электроники. Интересно вкратце проследить за основными этапами развития ее элементной базы.

Простейший электронный прибор — вакуумный диод — был изобретен Т. Эдиссоном (амер.) в 1883 г., который вмонти-ровал металлический электрод в баллон электрической лампы накаливания и зарегистрировал ток одного направления во внеш-ней цепи. В 1904 г. Дж. Флемминг (англ.) впервые применил ва-куумный диод в качестве детектора в радиоприемнике. Усили-тельный электровакуумный прибор — триод — был изобретен Луи де Форестом (амер.) в 1906 г. С этих пор в течение первой четверти ХХ столетия в ряде научных лабораторий многих стран мира происходило медленное созревание технологий электрова-куумных приборов. В России это направление возглавил руково-дитель нижегородской лаборатории М.А. Бонч-Бруевич. Уже в 1922 г. сотрудники этой лаборатории построили в Москве первую в мире радиовещательную станцию им. Коминтерна мощностью 12 кВт. А к 1927 г. было построено 57 таких станций. В 1925 г. была создана генераторная лампа мощностью 100 кВт. В 1933 г. в России вступила в строй мощнейшая в мире (500 кВт) радиостан-ция. Первый телевизионный передатчик мощностью 15 кВт вве-ден в строй в Москве в 1948 г. А.И. Берг в 1927–1929 гг. создал классическую теорию передатчиков. В.А. Котельниковым в период с 1933 по 1946 гг. доказана теорема квантования по времени, зало-жившая основу цифровых методов обработки сигналов, показана возможность радиосвязи на одной боковой полосе и опубликована теория потенциальной помехоустойчивости.

Период с 1920 по 1955 гг. был эрой ламповой электроники. Первый полупроводниковый триод — транзистор — создан

в 1948 г. Дж. Бардиным и У. Браттейном (амер.). С 1955 г. начи-нается эра полупроводниковой электроники. Первые интеграль-ные схемы появились в 1960-е годы. Первый микропроцессор да-тируется 1971 г.

8

В 1998 году транзистор отметил свой полувековой юбилей: в последний июньский день 1948 года американская фирма «Bell telephon laboratoris» продемонстрировала общественности только что изобретенный электронный прибор, о котором назавтра «Нью-Йорк Таймс» сообщила буднично и без пафоса: «Рабочие элементы прибора состоят из двух тонких проволочек, прижатых к кусочку полупроводникового вещества... Вещество усиливает ток, под-водимый к нему по одной проволочке, а другая проволочка отводит усиленный ток. Прибор под названием «транзистор» в некоторых случаях можно использовать вместо электронных ламп».

Да, именно так выглядел первый транзистор, и неудивитель-но, что даже специалисты не сразу смогли разглядеть его триум-фальное будущее. А между тем представленный прибор мог уси-ливать и генерировать электрические сигналы, а также выполнять функцию ключа, по команде открывающего или запирающего электрическую цепь. И, что принципиально важно, все это осу-ществлялось внутри твердого кристалла, а не в вакууме, как это происходит в электронной лампе. Отсюда следовал целый набор потенциальных достоинств транзистора: малые габариты, механи-ческая прочность, высокая надежность, принципиально неограни-ченная долговечность. Через три-четыре года, когда были разрабо-таны значительно более совершенные конструкции транзисторов, все эти ожидаемые достоинства начали становиться реальностью.

Честь открытия транзисторного эффекта, за которое в 1956 году была присуждена Нобелевская премия по физике, принад-лежит У. Шокли, Дж. Бардину, У. Браттейну*.* Характерно, что все трое были блистательными физиками, целенаправленно шедшими к этому открытию. Шокли, руководитель группы ис-следователей, еще в предвоенные годы читал лекции по кванто-вой теории полупроводников и подготовил фундаментальную монографию, которая надолго стала настольной книгой для спе-циалистов в этой области. Высочайшая квалификация Бардина как физика-теоретика подтверждена не только изобретением транзистора и предсказанием ряда эффектов в поведении полу-проводников, но и тем, что позднее, в 1972 году, совместно с двумя другими исследователями он был повторно удостоен Но-белевской премии — теперь за создание теории сверхпроводимо-сти. Браттейн, самый старший в группе, к моменту изобретения

9

транзистора имел за плечами пятнадцатилетний опыт исследова-ния поверхностных свойств полупроводников.

Хотя само открытие транзисторного эффекта явилось до некоторой степени счастливой случайностью (говоря сегодняш-ним языком, они пытались изготовить *полевой* транзистор, а из-готовили *биполярный*)*,* теоретическая подготовка исследователей позволила им практически мгновенно осознать открытое и пред-сказать целый ряд гораздо более совершенных устройств. Иными словами, создание транзистора оказалось под силу лишь физи-кам, которые по необходимости владели еще и минимумом изо-бретательских навыков.

У нас в стране транзистор был воспроизведен в 1949 году во фрязинской лаборатории, возглавляемой А.В. Красиловым, круп-ным ученым, обладающим широчайшей эрудицией.

Первые транзисторы изготавливались на основе полупро-водника *германия* и допускали рабочую температуру лишь до 70 °С, а этого во многих прикладных задачах было недостаточно.

Во второй половине пятидесятых годов в развитии тран-зисторов произошел решающий качественный скачок: вместо германия стали использовать другой полупроводник — *крем-ний.* В итоге рабочая температура транзисторов выросла до 120–150 °С, при этом их характеристики сохраняли высокую стабильность, а срок службы приборов стал практически бес-конечным. Но, пожалуй, главное заключалось в том, что в 1959 году американской фирмой «Firechild» применительно к крем-нию была разработана так называемая *планарная* *технология.* Принципиальным здесь было то, что тончайшая пленка ди-оксида кремния, выращенная при высокой температуре на по-верхности кристалла, надежно защищает кремний от агрессив-ных воздействий и является отличным изолятором. В этой пленке создают «окна», через которые, также при высокой тем-пературе, в полупроводник вводят легирующие добавки, — так изготавливаются фрагменты будущего прибора. Затем на изо-лированную от объема поверхность напыляют тонкопленочные алюминиевые токоподводы к активным зонам — и транзистор готов. Особенностями процесса является то, что все воздейст-вия на пластину осуществляются в одной плоскости и что обеспечивается одновременная обработка тысяч и миллионов

10

транзисторов на пластине, а это ведет к высочайшей степени воспроизводимости изделий и высокой производительности.

Методами планарной технологии легко обеспечить изоля-цию транзисторов от подложки и друг от друга, а отсюда лишь шаг до создания *интегральной* *схемы* (*микросхемы*), т. е. созда-ния электронной схемы с активными и пассивными компонен-тами и их соединениями на едином кристалле в едином техноло-гическом процессе. Этот шаг был сделан в том же 1959 году. Мир вступил в эру ***микроэлектроники****.*

Типичная микросхема представляет собой кремниевый кри-сталлик (чип), в приповерхностной области которого изготовлено множество транзисторов, соединенных между собой пленочными алюминиевыми дорожками в заданную электрическую схему. В первой микросхеме «множество» состояло всего лишь из 12 тран-зисторов, но уже через два года уровень интеграции превысил сто элементов на чипе, а к середине 60-х годов стали доминировать большие интегральные схемы (БИС), содержащие тысячи элемен-тов, затем — сверхбольшие (СБИС) и т. д.

Микросхема обладает тем большей информационной мощ-ностью, чем большее количество транзисторов она содержит, т. е. чем выше *плотность* *интеграции* (плотность упаковки активных элементов в кристалле). А она определяется минимальными раз-мерами активного элемента и площадью кристалла, которые спо-собна воспроизводить технология.

Изложенные в данном учебном пособии основы *цифровой* *схемотехники* формируют схемотехнические навыки построения цифровых устройств на базе интегральных микросхем. Изучается принцип работы простейших логических элементов и методы проектирования на их основе преобразователей кодов, суммато-ров, цифровых коммутаторов, триггеров, регистров, счетчиков, микросхем памяти. Проверить работу многих устройств можно путем компьютерного моделирования с помощью пакета Elec-tronics Workbench.

Рекомендуемый список литературы включает прежде всего справочники по цифровым интегральным микросхемам. Из других источников, используемых в данном учебном пособии, хочется отметить работы доцентов ТУСУРа Потехина В.А. [12] и Шибае-ва А.А. [6], которым автор выражает искреннюю благодарность.

11

**2** **ОСНОВНЫЕ** **ПОНЯТИЯ** **МИКРОЭЛЕКТРОНИКИ**

**2.1** **Виды** **сигналов**

Назначение радиоэлектронных устройств, как известно, — по-лучение, преобразование, передача и хранение информации, пред-ставленной в форме электрических сигналов. Сигналы, действующие в электронных устройствах, и соответственно сами устройства делят на две большие группы: аналоговые ицифровые.

***Аналоговый*** ***сигнал*** — сиг-нал, непрерывный по уровню и во времени, т. е. такой сигнал существует в любой момент времени и может принимать лю-бой уровень из заданного диапа-зона.

*t*

0

*s*(*t*)

*s*(*t*)

***Квантованный*** ***сигнал*** —

*t*

*x*

*x*6 сигнал, который может прини-*x*4 мать только определенные кван-

5

*x*

*x*

2

3 тованные значения, соответст-

*x* вующие уровням квантования. 0 Расстояние между двумя сосед-

1

*s*(*t*) ними уровнями — шаг кванто-вания.

***Дискретизированный*** ***сиг-нал*** — сигнал, значения которо-

го заданы только в моменты вре-

*t* мени, называемые моментами 0 *t*1 *t*2 *t*3 *t*4 *t*5 дискретизации. Расстояние меж-

*s*(*t*) ду соседними моментами дис-0110 кретизации — шаг дискретиза-

0101

0100

0010

ции *Td* . При постоянном *Td* 0011 применима теорема Котельни-0001 *t* кова: 1 *fd* ≥2 *f*â , где *f*â —

*d*

*T*

0 *t*1 *t*2 *t*3 *t*4 *t*5 верхняя граничная частота спек-Рис. 2.1 — Виды сигналов тра сигнала.

12

***Цифровой*** ***сигнал*** — сигнал, квантованный по уровню и дискретизированный во времени. Квантованные значения цифро-вого сигнала обычно кодируются некоторым кодом, при этом ка-ждый выделенный в процессе дискретизации отсчет заменяется соответствующим кодовым словом, символы которого имеют два значения — 0 и 1 (рис. 2.1).

Типичными представителями устройств аналоговой электро-ники являются устройства связи, радиовещания, телевидения. Об-щие требования, предъявляемые к аналоговым устройствам, — минимальные искажения. Стремление выполнить эти требования приводит к усложнению электрических схем и конструкции уст-ройств. Другая проблема аналоговой электроники — достижение необходимой помехоустойчивости, ибо в аналоговом канале свя-зи шумы принципиально неустранимы.

Цифровые сигналы формируются электронными схемами, транзисторы в которых либо закрыты (ток близок к нулю), либо полностью открыты (напряжение близко к нулю), поэтому на них рассеивается незначительная мощность и надежность цифровых устройств получается более высокой, чем аналоговых.

Цифровые устройства более помехоустойчивы, чем анало-говые, так как небольшие посторонние возмущения не вызывают ошибочного срабатывания устройств. Ошибки появляются только при таких возмущениях, при которых низкий уровень сигнала вос-принимается как высокий, или наоборот. В цифровых устройствах можно также применить специальные коды, позволяющие испра-вить ошибки. В аналоговых устройствах такой возможности нет.

Цифровые устройства нечувствительны к разбросу (в до-пустимых пределах) параметров и характеристик транзисторов и других элементов схем. Безошибочно изготовленные цифровые устройства не нужно настраивать, а их характеристики полно-стью повторяемы. Все это очень важно при массовом изготовле-нии устройств по интегральной технологии. Экономичность про-изводства и эксплуатации цифровых интегральных микросхем привела к тому, что в современных радиоэлектронных устройст-вах цифровой обработке подвергаются не только цифровые, но и аналоговые сигналы. Распространены цифровые фильтры, регу-ляторы, перемножители и др. Перед цифровой обработкой анало-говые сигналы преобразуются в цифровые с помощью аналого-

13

цифровых преобразователей (АЦП). Обратное преобразование — восстановление аналоговых сигналов по цифровым — выполня-ется с помощью цифроаналоговых преобразователей (ЦАП).

При всем многообразии задач, решаемых устройствами цифровой электроники, их функционирование происходит в сис-темах счисления, оперирующих всего двумя цифрами: нуль (0) и единица (1).

Работа цифровых устройств обычно *тактируется* доста-точно высокочастотным генератором тактовых импульсов. В те-чение одного такта реализуется простейшая микрооперация — чтение, сдвиг, логическая команда и т. п. Информация представ-ляется в виде цифрового слова. Для передачи слов используются два способа — параллельный и последовательный. Последова-тельное кодирование применяется при обмене информацией ме-жду цифровыми устройствами (например, в компьютерных сетях, модемной связи). Обработка информации в цифровых устройст-вах реализуется при использовании параллельного кодирования информации, обеспечивающего максимальное быстродействие.

Элементную базу для построения цифровых устройств со-ставляют интегральные микросхемы (ИМС), каждая из которых реализуется с использованием определенного числа логических элементов — простейших цифровых устройств, выполняющих элементарные логические операции.

**2.2** **Классификация** **микросхем** **и** **их** **условные** **обозначения**

Промышленностью выпускается широкая номенклатура ин-тегральных микросхем различной степени интеграции. Кроме де-ления ИМС в зависимости от технологии изготовления (пленоч-ные, гибридные, монолитные), ИМС делят на цифровые и анало-говые. Цифровые ИМС оперируют с напряжениями, принимаю-щими только два возможных значения — логического нуля и ло-гической единицы. Аналоговые ИМС могут работать с напряже-ниями, непрерывными по времени и значению. В зависимости от степени интеграции цифровые ИМС либо выполняют отдель-ные логические операции (например, И-НЕ или ИЛИ-НЕ), либо образуют целые узлы цифровых устройств (счетчики, регистры,

14

микросхемы памяти, процессоры и т. д.). Аналоговые ИМС (опе-рационные усилители, компараторы напряжений, таймеры, ста-билизаторы постоянного напряжения) выполняют разнообразные функции: усиление сигналов, генерирование колебаний различ-ной формы, модуляцию и демодуляцию сигналов и много других преобразований. Микросхемы, предназначенные для цифроана-логового (ЦАП) и аналого-цифрового преобразования сигналов (АЦП), относят к числу аналоговых.

На функциональной схеме цифрового электронного термо-метра (диапазон температур от 0 до 400 С) к аналоговой части устройства относятся усилитель постоянного тока (УПТ) и 12-раз-рядный АЦП, к цифровой — преобразователь двоичного кода в двоично-десятичный (X/Y) и дешифратор DC, преобразующий этот код в код управления четырьмя цифровыми семисегментны-ми индикаторами (рис. 2.2).

12 16 УПТ АЦП Х Y

DC 28

Рис. 2.2 — Функциональная схема электронного термометра

Стандартами установлена система условных обозначений микросхем. Большинство ИМС объединено в серии, которые включают ряд различных ИМС, согласованных по напряжению источников питания, уровням входных и выходных сигналов, входным и выходным сопротивлениям и конструктивно-технологическим особенностям. Серию стремятся разрабатывать так, чтобы из микросхем, входящих в нее, можно было создать законченные электронные устройства, хотя допускается исполь-зование в одном устройстве ИМС различных серий.

В принятой системе обозначений выпускаемые отечествен-ной промышленностью ИМС делятся по конструктивно-технологическому исполнению на три группы:

а) 1, 5, 6, 7 — полупроводниковые (монолитные); б) 2, 4, 8 — гибридные;

в) 3 — прочие (пленочные, керамические и др.).

15

Условное обозначение серии ИМС состоит из двух элемен-тов: первый — цифра, обозначающая конструктивно-технологи-ческую группу; второй — двух- или трехзначное число, указы-вающее порядковый номер серии. Например, серия, обозначенная числом 1533, принадлежит к полупроводниковым ИМС с поряд-ковым номером серии 533.

По характеру выполняемых функций ИМС подразделяют на подгруппы: генераторы, усилители, триггеры, модуляторы и т. д. В свою очередь подгруппы делятся на виды. Например, подгруп-па «Схемы цифровых устройств» включает в себя следующие ви-ды ИМС: регистры, сумматоры, счетчики импульсов, дешифра-торы и др. Обозначения подгрупп и видов стандартизованы. На-пример, буквы ИР в условном обозначении ИМС будут обозна-чать, что эта ИМС из подгруппы «Схемы цифровых устройств» относится к виду «регистры». В табл. 2.1 приведена неполная классификация видов ИМС.

Таблица 2.1 — **Условные** **обозначения** **микросхем**

|  |  |  |  |
| --- | --- | --- | --- |
| Подгруппа и вид ИМС по функциональному назначению | Обо-значе-ние | Подгруппа и вид ИМС по функциональному назначению | Обо-зна-чение |
| Формирователи:  импульсов прямоугольной формы  прочие  Схемы вычислительных средств:  контроллеры микропроцессоры специализированные  Генераторы: прямоугольных сигналов гармонических сигналов  Детекторы: амплитудные фазовые прочие  Схемы источников вторичного электропитания: | АГ АП  ВВ ВМ ВЖ  ГГ ГС  ДА ДФ ДП | Логические элементы: И–НЕ  И–НЕ/ИЛИ–НЕ расширители ИЛИ–НЕ  И Модуляторы:  амплитудные прочие  Преобразователи: цифроаналоговые аналого-цифровые код-код  Схемы запоминающих устройств:  ПЗУ (масочные) ОЗУ  ПЗУ с УФ-стиранием | ЛА ЛБ ЛД ЛЕ ЛИ  МА МП  ПА ПВ ПР  РЕ РУ РФ |

16

Окончание табл. 2.1

|  |  |  |  |
| --- | --- | --- | --- |
| Подгруппа и вид ИМС по функциональному назначению | Обо-значе-ние | Подгруппа и вид ИМС по функциональному назначению | Обо-зна-чение |
| выпрямители стабилизаторы напряжения импульсные стабилизаторы напряжения непрерывные  Схемы цифровых устройств: АЛУ  шифраторы дешифраторы счетчики комбинированные полусумматоры сумматоры прочие  регистры Коммутаторы и ключи:  напряжения прочие | ЕВ  ЕК  ЕН  ИА ИВ ИД ИЕ ИК ИЛ ИМ ИП ИР  КН КП | Схемы сравнения: по напряжению  Триггеры  типа JK (универсальные) типа D (с задержкой) типа RS  типа Т (счетные) Усилители:  операционные импульсных сигналов низкой частоты высокой частоты  Многофункциональные схемы:  аналоговые цифровые комбинированные прочие | СА  ТВ ТМ ТР ТТ  УД УИ УН УВ  ХА ХЛ ХК ХП |

Условное обозначение микросхемы состоит из трех- или че-тырехзначного обозначения серии микросхем, двух букв, озна-чающих подгруппу и вид микросхемы, и порядкового номера разработки микросхемы.

Буквы (необязательные) К, КМ, КН, КР, и КА, стоящие в начале условного обозначения микросхемы, характеризуют усло-вия ее приемки на заводе-изготовителе, причем буква К означает микросхемы широкого применения.

Для характеристики материала и типа корпуса перед цифро-вым обозначением серии могут быть добавлены следующие буквы:

Р — пластмассовый корпус типа ДИП (корпус с прямо-угольными выводами, перпендикулярными плоскости основания корпуса и выходящими за пределы проекции тела корпуса на плоскость основания);

А — пластмассовый планарный корпус (прямоугольный корпус с выводами, расположенными параллельно плоскости ос-

17

нования и выходящими за пределы проекции его тела на плос-кость основания);

М — металлокерамический корпус типа ДИП; Е — металлополимерный корпус типа ДИП; С — стеклокерамический корпус типа ДИП; И — стеклокерамический планарный корпус; Н — керамический «безвыводной» корпус.

В условных обозначениях микросхем, выпускаемых в бес-корпусном варианте, перед номером серии добавляют букву Б. Таким образом, бескорпусные аналоги обычной серии 155 обо-значаются Б155.

Пример расшифровки обозначения микросхемы КР1533ТМ2 показан на рис. 2.3.

К Р

|  |  |  |
| --- | --- | --- |
| 1 | |  |
|  | Группа конструктивно-технологическая | |

р

у

|  |  |  |
| --- | --- | --- |
| 2 | | Порядковый номе разработки по |
|  | функциональном назначению | |

|  |  |  |
| --- | --- | --- |
| М | |  |
|  | Вид | |

|  |  |  |
| --- | --- | --- |
| 533 | | Т |
|  | Подгруппа Порядковый номер | |

Рис. 2.3 — Пример обозначения микросхемы

Если принципиальные схемы электронных устройств, ис-пользующих ИМС, выполнять, полностью отображая их внут-реннюю структуру с помощью условных графических обозначе-ний (УГО) составляющих компонентов, то схема получится очень громоздкой и не наглядной. Отображение на принципиаль-ной схеме внутренней структуры ИМС становится своего рода избыточной информацией, затрудняющей составление и чтение схем. Разработчику электронной аппаратуры важно знать, из ка-ких функциональных узлов можно создать то или иное устройст-во, а внутренняя структура узла зачастую его просто не интересу-ет. Этим объясняется тот факт, что при составлении принципи-альных схем цифровых и аналоговых устройств пользуются только обобщенными символами функциональных узлов.

18

УГО элементов (узлов) аналоговой и цифровой техники строят на основе прямоугольника. В самом общем виде УГО мо-жет содержать основное поле и два дополнительных, расположен-ных по обе стороны от основного (рис. 2.4). Размер прямоуголь-ника по ширине зависит от наличия дополнительных полей и числа помещенных в них знаков, по высоте — от числа выводов, интервалов между ними и числа строк информации в основном и дополнительных полях. В основном поле указывают функцио-нальное назначение элемента, а в дополнительных — метки, обо-значающие функции или назначение выводов. В местах присое-динения линий-выводов изображают специальные знаки (указа-тели), характеризующие их особые свойства (инверсные, дина-мические и т. д.). Группы выводов могут быть разделены увели-ченным интервалом или помещены в обособленную зону. Со-гласно стандарту, ширина основного поля должна быть не менее 10 мм, дополнительных — не менее 5 мм, расстояние между вы-водами — 5 мм.

Обозначение функции Метка

∗∗Входы ∗∗

Метка

∗∗

∗∗ Выходы

Указатель

Зона

Основное поле

Указатель инверсного вывода

Дополнительные поля

Рис. 2.4 — УГО элементов аналоговой и цифровой техники

Выводы элементов схемы делятся на входы, выходы, двуна-правленные выводы (служат как для ввода, так и для вывода ин-формации) и выводы, не несущие информации (например, для подключения питания, внешних *RC*-цепей и т. п.). Входы изобра-жают слева, выходы — справа, остальные выводы — с любой сто-роны УГО. При необходимости разрешается поворачивать обозна-

19

чение на угол 90по часовой стрелке, т. е. располагать входы свер-ху, а выходы снизу.

Функциональное назначение элемента указывают в верхней части основного поля УГО. Его составляют из прописных букв латинского алфавита, арабских цифр и специальных знаков, за-писываемых без пробелов. Примеры обозначений основных функций приведены в табл. 2.2. Сложные функции образуют из простых, располагая их в последовательности обработки сигнала.

Таблица 2.2 — **Примеры** **функциональных** **обозначений** **ИС**

|  |  |
| --- | --- |
| Функция | Обозначение |
| Память  Оперативное запоминающее устройство (ОЗУ) Постоянное запоминающее устройство (ПЗУ) | M  RAM  ROM |
| Логическое И |  |
| Регистр:  общее обозначение  со сдвигом слева направо с реверсивным сдвигом | RG RG → RG ↔ |
| Счетчик двоичный | CT2 |
| Счетчик десятичный | CT10 |
| Триггер:  общее обозначение двухступенчатый | T TT |
| Набор резисторов | ∗R |
| Генератор | G |
| Компаратор (сравнение) | = = |
| Усилитель | > |
| Преобразователь цифро-аналоговый | ∧ |
| Преобразователь аналого-цифровой | ∧ |

Назначение выводов указывают метками, помещаемыми на-против них в дополнительных полях. Как и обозначения функций элементов, они могут состоять из букв латинского алфавита, араб-ских цифр и специальных знаков. Например, вывод установки

20

ИМС в состояние «1» обозначается как S (Set), а сброс схемы в ну-левое состояние — как R (Reset).

Выводы ИМС могут быть помечены указателями, опреде-ляющими их статические и динамические свойства. Указатели про-ставляют на линии контура УГО или на линии связи около линии контура УГО со стороны линии вывода. Прямые статические вы-воды изображают линиями, присоединенными к основному или дополнительным полям УГО без каких-либо знаков, инверсные — в виде кружка на конце. Отличительный признак динамического вывода — указатель в виде косой черточки, стрелки или треуголь-ника. Выводы, не несущие логической информации, выделяют кре-стиком, который наносят либо в месте присоединения к УГО (рис. 2.4), либо в непосредственной близости от него.

По функциональному назначению в цифровых ИМС выде-ляют следующие устройства.

***Логические*** ***элементы*** — это ИМС, реализующие базовые логические функции НЕ, И, ИЛИ и их комбинации И-НЕ, ИЛИ-НЕ, И-ИЛИ-НЕ. Часть ЛЭ, помимо логических операций, выпол-няет функции усилителей мощности.

***Драйверы*.** Драйверами принято считать ИМС с повышен-ной нагрузочной способностью, основным назначением которых является организация связи с периферийными устройствами.

***Шифраторы*.** Назначение шифратора — преобразование входного *унитарного* кода в натуральный двоичный.

***Дешифраторы*** выполняют функции, обратные шифрато-рам, т. е. преобразуют двоичный код в унитарный. К специаль-ным дешифраторам относятся преобразователи двоичного кода в коды управления знакосинтезирующими индикаторами.

***Мультиплексоры*** направляют один из *m* входных сигналов на *один* выход.

***Демультиплексоры*** решают обратную задачу — направля-ют *один* входной сигнал в один из *m* выходных каналов.

***Арифметическими*** ***устройствами*** являются *сумматоры* двоичных чисел, *умножители* двоичных чисел, *АЛУ* — арифме-тическо-логические устройства, схемы *контроля* *четности*, *пре-образователи* двоичных кодов, *цифровые* *компараторы* (устрой-ства сравнения двоичных чисел).

21

***Триггеры*** — устройства, служащие для *запоминания* логиче-ских состояний.

***Регистры****.* Регистром называется триггерная линейка, слу-жащая для записи, хранения, сдвига и вывода информации.

***Счетчики*** числа импульсов — суммирующие, вычитающие, реверсивные. Счетчики могут выполнять роль программируемых *делителей* частоты.

***Релаксационные*** устройства — типа мультивибраторов и од-новибраторов.

***Запоминающие*** устройства предназначены для записи, хра-нения и выдачи информации.

Степень интеграции (показатель сложности) ИС оценивает-ся числом элементов, размещенных на одном кристалле или под-ложке:

*малая* *интегральная* *схема* (МИС) …………………………. до 100; *средняя* *интегральная* *схема* (СИС)….………………….. 101 –1000; *большая* *интегральная* *схема* (БИС)…………………….1001–10000; *сверхбольшая* *интегральная* *схема* (СБИС)…………..свыше 100000.

Все цифровые устройства можно отнести к комбинацион-ным (без памяти), либо к последовательностным (с памятью). ***Комбинационными*** называют устройства, состояние выходов ко-торых в любой момент времени однозначно определяется значе-ниями входных переменных в тот же момент времени. Это логи-ческие элементы, преобразователи кодов (в том числе шифрато-ры и дешифраторы), распределители кодов (мультиплексоры и демультиплексоры), компараторы кодов, арифметико-логические устройства (сумматоры, вычитатели, умножители, собственно АЛУ), постоянные запоминающие устройства (ПЗУ), программи-руемые логические матрицы (ПЛМ).

Выходное состояние ***последовательностного*** цифрового устройства (конечного автомата) в данный момент времени опре-деляется не только логическими переменными на его входах, но еще зависит и от порядка (последовательности) их поступления в предыдущие моменты времени. Иными словами, конечные авто-маты должны обязательно содержать элементы памяти, отра-жающие всю предысторию поступления логических сигналов, и выполняются на триггерах, в то время как комбинационные циф-

22

ровые устройства могут быть целиком построены только на ло-гических элементах. К числу цифровых устройств последова-тельностного типа относят триггеры, регистры, счетчики, опера-тивные запоминающие устройства (ОЗУ), микропроцессорные устройства (микропроцессоры и микроконтроллеры).

***Пример*** ***2.1.*** В приведенном списке ИМС указать:

а) цифровые интегральные микросхемы комбинационного типа;

б) микросхемы, выполненные по гибридной технологии;

в) цифровые интегральные микросхемы последовательност-ного типа.

К1533ИЕ6 К155КП7 К555ИР1 К556РТ5 К140УД6 К561ТМ2 К252ПА1 К564ИМ3 301НР1А К537РУ8 К142 ЕН5 К133ЛА3

*Решение.* К числу комбинационных ИМС в приведенном списке относятся логический элемент К133ЛА3, мультиплексор К155КП7, сумматор К564ИМ3, постоянное запоминающее уст-ройство К556РТ5. По гибридной технологии выполнена микро-схема цифроаналогового преобразователя К252ПА1, номер серии которой начинается с цифры 2. К числу последовательностных ИМС относятся триггер К561ТМ2, регистр К555ИР1, счетчик К1533ИЕ6, оперативное запоминающее устройство К537РУ8. Кроме перечисленных микросхем в данном списке приведены операционный усилитель К140УД6, стабилизатор напряжения К142ЕН5, набор резисторов 301НР1А, которые относятся к ана-логовым ИМС, причем последняя микросхема выполнена по пле-ночной технологии (номер серии начинается с цифры 3).

23

**3** **МАТЕМАТИЧЕСКИЕ** **ОСНОВЫ** **ЦИФРОВОЙ** **ЭЛЕКТРОНИКИ**

**3.1** **Позиционные** **системы** **счисления**

***Системой*** ***счисления*** называют способ изображения произ-вольного числа ограниченным набором символов, называемых цифрами. Номер позиции, определяющий вес, с которым данная цифра складывается в числе, называют ***разрядом***, а системы счис-ления, обладающие отмеченным свойством, — ***позиционными****.*

В общем случае *n-*разрядное положительное число *N* в произвольной системе счисления с основанием *р* представляется суммой вида

*N* *n*−1*a* *pk*, (3.1) *k* 0

∑

*k*

где *ak* — отдельные цифры в записи числа, значения которых равны членам натурального ряда в диапазоне от 0 до (*р* – 1).

При выполнении вычислений цифровыми электронными устройствами используются элементы с двумя устойчивыми со-стояниями. По этой причине в цифровой технике широкое рас-пространение получила позиционная ***двоичная*** система счисле-ния (с основанием 2). В каждом двоичном разряде, получившем название ***бит***, может стоять 1 или 0. Сама же запись числа (дво-ичный код) представляет собой последовательность из единиц и нулей. Чтобы отличить двоичное число от десятичного, будем дополнять его справа суффиксом *В* (*Binary*), как это принято в специальных машинно-ориентированных языках программиро-вания, называемых ассемблерами.

Веса соседних разрядов двоичного кода числа отличаются в два раза, а самый правый разряд (младший) имеет вес 1. Поэтому, например

101101*В* = 1.25 + 0.24 + 1.23 +1.22 + 0.21 + 1.20 = 45. Четыре соседних бита называют ***тетрадой***, группу из 8 бит

называют ***байтом***, а из 16 бит — ***машинным*** ***словом***. Совокуп-ность из 1024 (210) байтов называют килобайтом, из 1024 килобай-тов — мегабайтом, из 1024 мегабайтов — гигабайтом.

1 Гб = 210 Мб = 220 Кб = 230 байт*.*

24

Современные персональные ЭВМ могут хранить в своей памяти на жестких магнитных дисках цифровую информацию объемом в десятки гигабайтов.

Арифметические операции в двоичной системе счисления исключительно просты и легко реализуются аппаратно. Однако при вводе и выводе информации в цифровое устройство она должна быть представлена в более привычной для человека деся-тичной системе счисления. Стремление упростить процедуру пе-ресчета двоичных чисел к десятичному эквиваленту привело к использованию ***двоично-десятичной*** ***системы*** ***счисления*** (BD — Binary Decimals). Она используется в ЭВМ не только в качестве вспомогательной системы счисления при вводе и выводе данных, но и в качестве основной при решении задач, когда в ЭВМ вво-дится и выводится большое количество чисел, а вычислений над ними производится мало. Десятичные числа в двоично-десятич-ной системе счисления кодируются в прямом нормально-взвешенном коде 8-4-2-1, т. е. каждую цифру десятичного числа необходимо заменить соответствующей тетрадой двоичных чи-сел. Например, десятичное число 9531 в двоично-десятичном ко-де представляется машинным словом из четырех тетрад

9531 = 1001 0101 0011 0001.

Записывать двоичные числа большой разрядности утоми-тельно. Поэтому, как правило, они представляются более ком-пактными записями с использованием ***шестнадцатеричной*** сис-темы счисления. В этой системе используют первые десять чле-нов натурального ряда от 0 до 9, а в качестве остальных цифр — первые шесть латинских букв A = 10, B = 11, C = 12, D = 13, E = 14, F = 15. Справа шестнадцатеричное число будем дополнять суф-фиксом Н (*Hexadecimal*)*.*

Перевод двоичного числа в число системы с основанием 16 и наоборот не вызывает затруднений. Для этого исходное двоич-ное число справа налево разбивается на тетрады, а затем содер-жимое каждой из них рассматривается как двоичный код соот-ветствующей цифры шестнадцатеричной системы. Для обратного перехода каждую цифру шестнадцатеричного числа заменяют тетрадой двоичного кода, например:

*N* = 8B5FH = 1000 1011 0101 1111 B*.*

25

Таблица 3.1 — **Соответствие** **чисел** **различных** **систем** **счисления**

|  |  |  |
| --- | --- | --- |
| Десятичное число (*D*) | Шестнадцатеричное число (*H*) | Двоичное число (*B*) |
| 0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 | 0 1 2 3 4 5 6 7 8 9 A B C D E F | 0000 0001 0010 0011 0100 0101 0110 0111 1000 1001 1010 1011 1100 1101 1110 1111 |

Для перевода целого числа *Np*, представленного в системе счисления с основанием *р*, в систему счисления с основанием *q* необходимо данное число делить на основание *q* (по правилам системы с основанием *р*) до получения целого остатка, меньшего *q*. Полученное частное снова необходимо разделить на основание *q* и т. д., пока последнее частное не станет меньше *q*. Число *Nq* в новой системе счисления представится в виде упорядоченной по-следовательности остатков в порядке, обратном их получению. Причем цифру старшего разряда дает последнее частное.

***Пример*** ***3.1.*** Перевести десятичное число 15710 в двоичный код, результат проверить.

|  |  |
| --- | --- |
| число | делитель остаток |
| 157 78 39 19 9  4 2 1 0 | 2\_\_\_\_\_\_\_\_\_\_\_\_\_1 (младший разряд) 2\_\_\_\_\_\_\_\_\_\_\_\_\_0  2\_\_\_\_\_\_\_\_\_\_\_\_\_1 2\_\_\_\_\_\_\_\_\_\_\_\_\_1 2\_\_\_\_\_\_\_\_\_\_\_\_\_1  2\_\_\_\_\_\_\_\_\_\_\_\_\_0 15710 = 100111012 2\_\_\_\_\_\_\_\_\_\_\_\_\_0  2\_\_\_\_\_\_\_\_\_\_\_\_\_1 (старший разряд) |

26

Проверка:

100111012 = 1⋅27 + 0⋅26 + 0⋅25 +1⋅24 + 1⋅23 + 1⋅22 + 0⋅21 + 1⋅20 = = 128 + 16 + 8 + 4 +1 =15710.

Для облегчения работы с двоичными кодами желательно знать наизусть десятичные значения чисел 2*n* от n = 0 до n = 14 (табл. 3.2).

Таблица 3.2

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| *n* | 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 | 12 | 13 | 14 |
| 2 *n* | 1 | 2 | 4 | 8 | 16 | 32 | 64 | 128 | 256 | 512 | 1024 | 2048 | 4096 | 8192 | 16384 |

***Пример*** ***3.2*.** Перевести десятичное число 15710 в восьме-ричный код, результат проверить.

|  |  |
| --- | --- |
| число | делитель остаток |
| 157 19 2  0 | 8\_\_\_\_\_\_\_\_\_\_\_\_\_5 (младший разряд)  8\_\_\_\_\_\_\_\_\_\_\_\_\_3 15710 = 2358 8\_\_\_\_\_\_\_\_\_\_\_\_\_2 (старший разряд) |

Проверка: 2358 = 2⋅82 + 3⋅81 + 5⋅80 = 128 + 24 + 5 = 15710.

***Пример*** ***3.3*.** Перевести десятичное число 15710 в шестна-дцатеричный код, результат проверить.

|  |  |
| --- | --- |
| число | делитель остаток |
| 157 9 0 | 16\_\_\_\_\_\_\_\_\_\_\_\_\_13 (младший разряд) 16\_\_\_\_\_\_\_\_\_\_\_\_\_9 (старший разряд) 15710=9D16 |

Проверка: 9D16 = 9⋅161 + 13⋅160 = 144 + 13 = 15710.

С помощью байта данных можно представить различную информацию:

– целое число без знака (от 0 до 255);

– число от 0 до 99 в двоично-десятичном коде; – машинный код команд микропроцессора;

27

– состояние восьми датчиков;

– двоичное число со знаком в прямом, обратном или ***допол-нительном*** коде *Х*, где *Х* — модуль числа (от 0 до 127), для отображения которого используется семь младших разрядов. Старший разряд — знаковый (0 — для положительных чисел, 1 — для отрицательных).

Пример: прямой код обратный код дополнительный код

+16

0*,* *Х* 00010000 0*,* *Х* 00010000 0*,* *Х* 00010000

–16

1*,* *Х* 10010000 1*,* *Х* 11101111 1*,* *Х* 1 11110000

Прямой, обратный и дополнительный коды положительных чисел совпадают. Для получения дополнительного кода отрица-тельного числа можно проинвертировать код положительного числа и прибавить единицу. Дополнительный код однобайтового числа минус *Х* равен дополнению до 256, т. е. двоичному коду числа 256−*X* . Преобразование дополнительного кода числа в прямой осуществляется по тому же правилу, что прямого в до-полнительный.

***Пример*** ***3.4*.** Записать дополнительный код однобайтового числа минус 100. Для отображения знака используется старший разряд числа.

*Решение*. Запишем двоичный код числа плюс 100: 01100100 Проинвертируем его: 10011011 Прибавим единицу: 10011100

Проверка: 10011100=128+16+8+4=156=256–100.

Ответ: дополнительный код числа минус 100 равен 10011100В.

**3.2** **Таблица** **истинности**

На рис. 3.1, *а* приведено функциональное обозначение циф-рового устройства с тремя входами и одним выходом. Каждый из входных сигналов *А*, *В* и *С* может принимать лишь два значе-ния: 1 и 0*.* Выходной сигнал *F*, который можно рассматривать как

28

логическую функцию входных переменных *А,* *В,* *С,* на каждом их наборе может быть равен 1 или 0.

*А* *В* *С*

≥2 *F*

*а*

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *N* | *A* | *B* | *C* | *F* |
| 0 1 2 3 4 5 6 7 | 0 0 0 0 1 1 1 1 | 0 0 1 1 0 0 1 1 | 0 1 0 1 0 1 0 1 | 0 0 0 1 0 1 1 1 |

*А* *В*

|  |  |
| --- | --- |
|  | =1 |
|  |
|  |

*б*

*С*

&

|  |  |
| --- | --- |
| & |  |
|  |

*в*

|  |  |  |
| --- | --- | --- |
|  | 1 |  |
|  |
|  |

*F*

Рис. 3.1 — Функциональное обозначение, таблица истинности и пример построения цифрового устройства

В простейшем случае функция *F*(*A,B,C*) может быть задана словесным описанием. Например, функция *F* равна 1, если все три ее переменные или любая пара из них равны 1, в противном случае *F* *=* 0.

Любая логическая функция может быть задана в виде таб-лицы истинности. На рис. 3.1, *б* представлена таблица истинно-сти для функции трех переменных, описанной выше словесно. Она определена на восьми наборах, которые располагаются в по-рядке нарастания десятичного эквивалента *N* их двоичного кода. В правом столбце указаны значения логической функции *F* на каждом наборе. Задание логической функции таблицей истинно-сти не всегда удобно, так как при большом числе переменных она становится слишком громоздкой. В этом смысле наиболее при-влекателен аналитический способ задания функций в виде так на-зываемых структурных формул, показывающих, какие логиче-

29

ские операции необходимо выполнить над входящими в них пе-ременными, чтобы получить значения данной функции.

**3.3** **Совершенная** **дизъюнктивная** **нормальная** **форма**

По таблице истинности можно составить выражение для логической функции в **СДНФ** (совершенной дизъюнктивной нормальной форме), т. е. в виде суммы логических произведений, соответствующих единичным наборам функции:

*F* *ABC* *ABC* *ABC* *ABC*. (3.2) Выражение (3.2) записано с использованием операций логи-

ческого сложения (дизъюнкции), логического умножения (конъ-юнкции) и логического отрицания (инверсии), которые выполня-ют простейшие логические элементы ИЛИ, И и НЕ соответствен-но. Для каждого единичного набора составляется логическое произведение входных переменных, в которое переменная входит с инверсией при нулевом ее значении на данном наборе. Эти ло-гические произведения объединяются затем знаком логического сложения (+ или ∨).

На рис. 3.2 представлены таблицы истинности и условные графические обозначения двухвходовых логических элементов. Кроме указанных выше, на практике широко используются эле-менты И-НЕ, ИЛИ-НЕ, Исключающее ИЛИ. Логическая функция последнего (функция «неравнозначность» или сумма по модулю два) в СДНФ записывается в виде *A*⊕*B* *AB**AB*.

Логические функции, представляющие собой *дизъюнкции* отдельных членов, каждый из которых есть некоторая функция, содержащая только конъюнкции, называют логическими функ-циями ***дизъюнктивной*** ***нормальной*** ***формы*** (ДНФ), например: *F* *XY* *XZ* . Если же каждый член дизъюнкции нормальной формы от *n* аргументов содержит все эти аргументы, часть ко-торых входит в него с инверсией, а часть — без нее, то такая форма представления функции называется ***совершенной*** ***дизъ-***

***юнктивной*** ***нормальной*** ***формой*** (СДНФ), например: *F* *ABC* *ABC* *ABC* *ABC*.

30

|  |  |
| --- | --- |
| & |  |
|  |

|  |  |
| --- | --- |
|  | & |
|  |

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Номер набора | *A* | *B* | *AB* | *AB* | *A+B* | *A+B* | *A* ⊕*B* |
| 0 1 2 3 | 0 0 1 1 | 0 1 0 1 | 0 0 0 1 | 1 1 1 0 | 0 1 1 1 | 1 0 0 0 | 0 1 1 0 |
| Элемент  *А*  *B* *F* | | | И  ЛИ | И-НЕ  ЛА | ИЛИ  1  ЛЛ | ИЛИ-НЕ  1  ЛЕ | *Исключающее* ИЛИ  =1  ЛП |

Рис. 3.2 — Таблицы истинности и условные графические обозначения двухвходовых логических элементов

Каждая конъюнкция этой дизъюнкции включает каждую переменную только один раз в прямом или инверсном виде, об-ращаясь в единицу при определенном наборе значений перемен-ных, и носит название *минтерм*.

Правило перехода от табличного задания логической функ-ции к ее записи в СДНФ (правило записи логической функции по единицам) заключается в следующем:

1. Составить минтермы для строк таблицы истинности, на которых функция *F* равна 1. Если значение переменной в этой строке равно 0, то в минтерме записывается отрицание этой пе-ременной.

2. Записать дизъюнкцию составленных минтермов, которая будет представлять переключательную функцию в СДНФ.

**3.4** **Основные** **законы** **булевой** **алгебры**

Математический аппарат, описывающий действия цифро-вых устройств, базируется на алгебре логики, автором которой считается английский математик Дж. Буль (1815–1864 гг.). В практических целях первым применил его американский ученый К. Шеннон в 1938 г. при исследовании электрических цепей с контактными выключателями.

В алгебре логики имеется четыре основных закона:

31

1. ***Переместительный***, или закон *коммутативности* для операций сложения и умножения соответственно:

*A+B* *=* *B+A*; *AB* *=* *BA.*

2. ***Сочетательный***, или закон *ассоциативности* для сло-жения и умножения соответственно:

(*A* *+* *B*)*+C* *=* *A+* (*B* *+* *C*); (*AB*)*C* *=* *A*(*BC*)*.*

3. ***Распределительный***, или закон *дистрибутивности* для сложения и умножения соответственно:

(*A+B*)*C* = *AC* + *BC*; (*AB*)+*C* = (*A* *+* *C*) (*B* *+* *C*).

4. Закон ***двойственности*** или *инверсии* (*правило* *де* *Морга-на*) сложения и умножения соответственно:

*À* *Â* *À*⋅*Â;* *ÀÂ* *À**Â* .

Справедливость этих законов можно доказать с помощью таблиц истинности сложных логических связей, описываемых законом, или с помощью логических преобразований.

Для преобразований логических выражений пользуются лег-ко доказываемыми тождествами, вытекающими из принципа рабо-ты простейших логических элементов (аксиомы алгебры Буля):

*Х+*1=1; *Х·*1*=Х*; *X* ⊕1*X* ;

*X+*0*=Х*; *X*·0=0; *X* ⊕0 *=Х*;

*X+X=Х*; *X·X=Х*; *X* ⊕*X=*0;

*X* *X* 1; *X* ⋅*X* 0; *X* ⊕*X* 1.

С помощью законов алгебры логики и тождеств могут быть

доказаны соотношения, получившие названия правил: поглощения *A* *+AB* *=* *A*,

*A*⋅(*A* *+B*) *=* *A*

32

и склеивания

*A*⋅*B* *A*⋅*B* *A,*

(*A* *B*)(*A* *B*) *A*.

Эти правила широко используют для преобразования пере-ключательных функций с целью их упрощения.

Из правила де Моргана вытекают следствия:

*A* *B* *A*⋅*B,*

*A*⋅*B* *A* *B,*

с помощью которых появляется возможность выражать дизъюнк-цию через конъюнкцию и отрицание, а конъюнкцию — через дизъюнкцию и отрицание. Законы двойственности справедливы для любого числа переменных.

В булевой алгебре при отсутствии в выражении скобок вво-дится следующий порядок действий: первыми выполняются опе-рации отрицания, далее — конъюнкции, затем — дизъюнкции. Наличие в выражении скобок изменяет обычный порядок дейст-вий: в первую очередь должны выполняться операции внутри скобок.

Записанная ранее в СДНФ логическая функция трех перемен-ных (3.2) может быть представлена в виде (ей соответствует схема устройства на рис. 3.1, *в*):

*F* *C*(*AB**AB*)*AB*(*C* *C*) *C*(*A*⊕*B*)*AB*.

Набор логических элементов И*,* ИЛИ*,* НЕ называют ***основ-ным*** ***базисом*** или основной функционально полной системой элементов. Последнее означает, что с помощью этих элементов можно реализовать устройство, осуществляющее сколь угодно сложную логическую операцию. Каждый из элементов И-НЕ и ИЛИ-НЕ также обладает функциональной полнотой.

Базисы И-НЕ и ИЛИ-НЕ называют *универсальными*. Эти ба-зисы приобрели важное значение в связи с широким использова-нием интегральных логических элементов при построении логи-ческих устройств.

Структуры логических элементов НЕ, И, ИЛИ, построенных из элементов И-НЕ, приведены на рис. 3.3.

33

|  |  |  |  |
| --- | --- | --- | --- |
| х | | & | у = х |
|  |  |
|  |
|  |

а)

*б*)

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| х1 | & |  | | | |
| х2 |  | | & | у = х1х2 |
|  |  |
|  |  |
|  |
|  | | |

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| х1 | | & |  |  | | | у = х1∨х2 |
| х2 |  |
|  |
|  |  | & |  |
|  | | |  |
|  |
|  | & |  |  |
|  |
|  |  |  | | |
|  | | | |
|  |

*в*)

Рис. 3.3 — Реализация схем: НЕ (*а*); И (б); ИЛИ (*в*)

Схема *отрицания* НЕ реализована на использовании сле-дующего соотношения:

y x⋅x x .

Схема *логического* *умножения* использует принцип двойной инверсии:

y x1 x2 x1 ⋅x2.

Схема *логического* *сложения* двух сигналов базируется на использовании закона отрицания:

y x1 x2 x1 ∨x2.

Связующим звеном между реальным элементом и его пере-ключательной функцией служит полярность логики. Различают положительную и отрицательную логику. При положительной логике в качестве логической единицы принят высокий уровень сигнала, при отрицательной логике — низкий уровень сигнала. Из принципа дуальности следует, что одно и то же логическое выражение может быть представлено двояко, например,

y = x 1 x 2 и y x1 ∨x2.

Это значит, что один и тот же элемент будет реализовывать с точки зрения положительной логики функцию конъюнкции, а с точки зрения отрицательой логики — дизъюнкцию.

В дальнейшем в качестве единицы будет принят высокий уровень напряжения (положительная логика).

***Минимизация*** *—* процесс приведения булевых функций к такому виду, который допускает наиболее простую, с наимень-шим числом элементов, физическую реализацию функции. Част-ная задача минимизации булевой функции сводится к такому

34

представлению заданной функции, которое содержит наимень-шее возможное число букв и наименьшее возможное число опе-раций над ними, так как каждой элементарной логической функ-ции соответствует определенный физический элемент.

Оценить различные представления одной и той же булевой функции, например ДНФ, можно по количеству входов логиче-ских элементов, реализующих заданную функцию. Для миними-зации переключательных функций применяют различные мето-ды: последовательного исключения переменных с помощью за-конов алгебры логики, с использованием диаграмм Венна, карт Карно (Вейча) и др.

**3.5** **Диаграммы** **Венна**

Логические функции можно отобразить на диаграммах Вен-на. Пусть левый круг (рис. 3.5) соответствует области прямых

Логический 0

Переменная *А*

*АВ*

Логическая 1

Переменная *В*

*А+В*

*X* *Y*

*АВ* *А* ⊕*В*

*Z*

Рис. 3.5 — Диаграммы Венна

35

значений переменной *А*, правый — области прямых значений пе-ременной *В*. Тогда область, образующаяся при пересечении кру-гов, соответствует логическому произведению *АВ*. Область, обра-зующаяся при наложении кругов, соответствует логической сум-ме *А* *+* *В*. Часть круга *А*, куда не входит *В*, соответствует логиче-

скому произведению *AB*. Операции неравнозначности соответ-

ствует область, занимаемая двумя сегментами: *AB* и *AB*.

С помощью диаграмм Венна легко доказывается справедли-вость логических тождеств. Для этого надо убедиться, что левой и правой частям записанных логических выражений соответству-ет одинаковое отображение на диаграмме Венна. Так, при нало-жении круга *А* и сегмента *АВ* мы сохраняем отображение круга *А*, т. е. *А+АВ* *=* *А*. При наложении отображения *A* ⊕*B* и сегмента *АВ* получаем отображение логической суммы *А* *+* *В*, т. е. *A* ⊕*B* + *АВ* *=* *А+В*. Если в области *А+В* исключить сегмент *АВ*, то получим отображение операции «Исключающее ИЛИ», т. е.

*AB*(*А+В*) *=* *A* ⊕*B.*

Для доказательства тождества *XY* *XZ* *XY*(*X* *Z*) удобно воспользоваться диаграммой Венна для логической функции трех переменных. Если в области *X+Z* исключить сегмент *XY*, полу-чим отображение правой части выражения. Оно совпадает с ото-бражением левой части, получаемым путем наложения сегментов

*XY* *XZ*.

**3.6** **Карты** **Карно**

Для упрощения логических функций трех и четырех пере-менных удобно использовать карты Карно (рис. 3.6, *а* и 3.6, *в*). Карта Карно представляет собой прямоугольную таблицу, каждая клетка которой соответствует определенному набору таблицы ис-тинности (рис. 3.6, *б* и 3.6, *г*). На карте фиксируют область пря-мых значений переменных и значение логической функции для каждого набора (0,1 или Х, если функция на данном наборе не определена).

Карта Карно на рис. 3.6, *в* соответствует логической функ-ции *F*, заданной выше словесно и с помощью таблицы истинно-

36

сти. Булева функция четырех переменных *Y* (рис. 3.6, *а*) на четы-рех наборах принимает значение 1, на восьми наборах — 0, на четырех наборах — не определена (такие наборы иногда называ-ют факультативными, они обозначены как Х).

*Y* *a*

*ab*

*cd* 00 01 11 10

*c*

|  |  |  |  |
| --- | --- | --- | --- |
| 1 | 0 | 0 | 1 |
| 0 | 0 | 1 | 0 |
| 0 | 0 | Х | X |
| 1 | 0 | X | Х |

00 *d* 01

11 *а*) *б*) 10

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | 4 | 12 | 8 |
| 1 | 5 | 13 | 9 |
| 3 | 7 | 15 | 11 |
| 2 | 6 | 14 | 10 |

*b*

*F* *A* C

*AB*

00 01 11 10

*C*

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 |

0 *в*) *г*) 1

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | 2 | 6 | 4 |
| 1 | 3 | 7 | 5 |

*B*

Рис. 3.6 — Карты Карно для логических функций трех (*F*) и четырех переменных (*Y*)

Карта Карно определяет значение функции на всех возмож-ных наборах аргументов и, следовательно, является копией таб-лицы истинности. Карты Карно компактны и удобны для поиска склеиваемых членов переключательной функции СДНФ. Объяс-няется это тем, что два любых минтерма, находящихся в клетках, расположенных рядом друг с другом, являются соседними. Они могут быть заменены одной конъюнкцией, содержащей на одну переменную меньше. Группа из четырех минтермов, располо-женных в соседних клетках, может быть заменена конъюнкцией, содержащей на две переменные меньше. В общем случае группа из 2*k* соседних клеток будет заменена одной конъюнкцией с *n* *–* *k* аргументами при общем числе переменных, равном *n*.

Правила записи минимизированного выражения для логиче-ской функции по карте Карно:

1) выделяются блоки (замкнутые прямоугольные области, содержащие 1, 2, 4, 8 клеток), заполненные единицами;

37

2) блоки должны быть возможно большими, а их количество наименьшим;

3) левая и правая, а также верхняя и нижняя строки карты считаются соседними;

4) блоки могут пересекаться, т. е. одна и та же клетка может входить в несколько блоков;

5) на факультативных наборах функция может доопреде-ляться произвольно (на тех наборах, где стоят Х), чтобы получить наиболее крупные блоки;

6) функция записывается в виде логических произведений (ЛП), описывающих выделенные блоки;

7) переменная не включается в ЛП, если блок областью ее прямых значений делится пополам;

8) переменная включается в ЛП с инверсией, если рассмат-риваемый блок лежит в области ее инверсных значений;

9) при группировке в блоки клеток, заполненных нулями, по тем же правилам получаем инверсное значение логической функции.

Логическая функция *F* (см. рис. 3.6) описывается совокуп-ностью трех блоков (каждый блок включает группу из двух мин-термов):

*F* *=* *AB* *+* *BC* *+* *AC.* (3.3) С использованием формулы двойственности ее можно пре-

образовать в вид, удобный для реализации в базисе И-НЕ (рис. 3.7, *а*):

*F* *AB*⋅*BC*⋅*AC*. (3.4) Логическая функция четырех переменных *Y* описывается

совокупностью двух блоков (четыре угловые клетки считаются соседними):

*Y* *abd* *b*⋅*d* *.*

*А*

*В*

*С*

|  |  |
| --- | --- |
|  | &  &  & |
|  |
|  |

|  |  |
| --- | --- |
|  | & |
|  |

*а*

*a* & *b*

*d* *F*

1

|  |  |
| --- | --- |
|  | 1 |
|  |

*б*

*Y*

Рис. 3.7 — Реализация логических функций *F* и *Y*

38

На рис. 3.7, *б* приведен пример ее реализации, учитываю-щий преобразование к виду

*Y* *abd* *b**d* *.*

**3.7** **Этапы** **синтеза** **цифрового** **устройства**

При синтезе комбинационного цифрового устройства на ло-гических элементах можно рекомендовать следующий порядок:

1) формируется словесное условие задачи (определяется, что именно должно делать разрабатываемое устройство, уточняется алгоритм его работы);

2) составляется таблица истинности для логической функ-ции, реализуемой устройством, и записывается функция в СДНФ;

3) проводится минимизация логической функции с помощью карты Карно, диаграммы Венна или законов булевой алгебры;

4) функция преобразуется в вид, удобный для реализации на заданной элементной базе;

5) разрабатывается принципиальная схема цифрового уст-ройства на логических элементах выбранной серии интегральных микросхем. Микросхемы логических элементов будут рассмот-рены в следующей главе.

Результат синтеза не является однозначным, поэтому вари-антов построения цифрового устройства может быть несколько. Следует стремиться к более простому решению поставленной за-дачи.

В следующем параграфе рассмотрены примеры синтеза комбинационных цифровых устройств на логических элементах ТТЛ (серия К155) и ТТЛШ (серия К555). При проектировании таких устройств надо четко представлять, каким образом форми-руются входные сигналы и как используются выходные сигналы.

**3.8** **Примеры** **синтеза** **цифровых** **устройств**

***Пример*** ***3.5.*** Реализовать устройство с четырьмя входами, логическая функция которого задана таблицей истинности (рис. 3.8, *в*).

39

*С*

*A*

|  |  |  |  |
| --- | --- | --- | --- |
|  | |  | |
| 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 |

*D*

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | 4 | 12 | 8 |
| 1 | 5 | 13 | 9 |
| 3 | 7 | 15 | 11 |
| 2 | 6 | 14 | 10 |

*B* *а* *б*

*A*

|  |  |
| --- | --- |
| &  & | 1 |
| &  & |

*B* *F* *C*

*D*

*г*

Рис. 3.8 — Реализация устройства

на микросхеме К555ЛР3 *в*

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| *n* | *A* | *B* | *C* | *D* | *F* |
| 0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15 | 0 0 0 0 0 0 0 0 1 1 1 1 1 1 1 1 | 0 0 0 0 1 1 1 1 0 0 0 0 1 1 1 1 | 0 0 1 1 0 0 1 1 0 0 1 1 0 0 1 1 | 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 | 1 1 1 1 1 0 0 0 1 1 0 0 0 0 0 0 |

*Решение.* Представим логическую функцию, реализуемую устройством, в виде соответствующей ей карты Карно (рис. 3.8, *а*). На рис. 3.8, *б* представлена таблица соответствия ее клеток набо-рам таблицы истинности.

Организовав блоки по нулям (блоки *АВ* и *BD* выделены на карте Карно пунктирной линией), запишем минимизированное выражение для логической функции по карте Карно:

*F* *AB* *BC* *AC* *BD*,

которое легко реализовать на микросхеме К555ЛР3 (рис. 3.8, *г*). Если блоки организовать по единицам, то их число умень-

шается до трех, но требуются дополнительные инверторы: *F* *A*⋅*B* *B*⋅*C* *A*⋅*C*⋅*D*.

***Пример*** ***3.6.*** На микросхемах серии К155 спроектировать утроитель частоты напряжения трехфазной сети. Напряжение каждой фазы с помощью нуль-компараторов приведено к уровню

40

ТТЛ (входной сигнал равен логической 1, когда синусоидальное напряжение фазы положительно).

*Решение.* Алгоритм работы устройства отображают времен-ные диаграммы входных (*А,* *В,* *С*) и выходного (*F*) сигналов для одного периода *T* сетевого напряжения (рис. 3.9, *а*). Заполним кар-ту Карно для единичных и нулевых тактов сигнала *F* (рис. 3.9, *б*). На двух наборах функция не определена (в трехфазной сети на-пряжения трех фаз не могут быть одновременно положительными или отрицательными). Организуя блоки по нулям, получаем

*F* *AB**BC* *AC* или *F* *AB**BC* *AC* .

*A* *А* *A* *B*

*C* *C* *B* *B*

|  |  |  |  |
| --- | --- | --- | --- |
| X | 1 | 0 | 1 |
| 1 | 0 | X | 0 |

*F* *а* *б* *C*

*Т*

Рис. 3.9

|  |  |  |  |
| --- | --- | --- | --- |
|  | | &  &  &  & | 1 |
|  |  |
|  |

*в*

Наиболее просто эта функция реализуется на микросхе-ме К155ЛР3 (рис. 3.9, *в*). Хотя бы на один из входов неисполь-зуемого элемента И надо подать логический 0, так как неподклю-ченный вход ТТЛ ведет себя как вход с уровнем логической 1.

***Пример*** ***3.7.*** В трехэтажном доме лестничная клетка освеща-ется одной общей лампочкой. На каждом этаже есть выключате-ли: *S*1, *S*2, *S*3. Спроектировать устройство включения и выклю-чения освещения любым из выключателей, независимо от поло-жения остальных.

*Решение.* Пусть *А*, *В* и *С* — сигналы на входе логической части устройства (замкнутому контакту выключателя соответст-вует уровень логического 0, а разомкнутому — уровень логиче-ской 1), *F* — сигнал на выходе логической части устройства (*F* = 0, когда лампа горит). Заполним таблицу истинности, связы-вающую эти переменные (рис. 3.10, *а*). Запишем выходную функцию в СДНФ и попытаемся ее минимизировать, проводя простейшие преобразования полученной функции:

41

*F* *ABC* *ABC* *ABC* *ABC* *A*(*BC* *BC*)*A*(*BC* *BC*) или *F* *A*(*B*⊕*C*)*A*(*B*⊕*C*) *A*⊕*B*⊕*C*.

*A* *B* *C* *F*

|  |  |
| --- | --- |
|  | =1 |
|  |

0 0 0 0 *S*1

0 0 1 1

0 1 0 1 *S*2 0 1 1 0

1 0 0 1 *S*3 1 0 1 0

1 1 0 0 1 1 1 1

*A*

*B*

*C*

50

*DD*1.1 *VD*3

*DD*1.2

=1 *VD*1

*VD*2 *+*5 В 100

*а* *б* ~ 220 В Рис. 3.10

Логическая часть устройства (рис. 3.10, *б*) реализована на микросхеме *DD*1 (К155ЛП5). В корпусе этой микросхемы разме-щено четыре элемента «Исключающее ИЛИ». Последовательно с осветительной лампой включен симистор *VD*3 (ТС 122-25-4 или КУ208Г), который управляется оптронными парами *VD*1, *VD*2 (АОУ103А1). Ток через светодиоды пар выбран равным 10 мА (максимально допустимый ток в выходной цепи логического элемента в состоянии логического нуля — 16 мА).

**3.9** **Мажоритарный** **логический** **элемент**

Идея мажоритарного резервирования — построение устрой-ства, от которого требуется высокая надежность, в виде трех идентичных устройств, выходные сигналы которых объединяют-ся с помощью мажоритарных элементов. В этом случае выход из строя одного из устройств не приведет к появлению неправиль-ных сигналов на выходе мажоритарного элемента, так как они будут определяться сигналами двух исправных устройств. Если каждое из устройств разбить на несколько блоков, между кото-рыми встроить мажоритарные элементы, можно еще более повы-сить надежность устройства в целом. Для систем мажоритарного

42

|  |  |  |
| --- | --- | --- |
|  | А В С  А В С  А В С  ЕС | ≥2  ≥2  ≥2 |
|  |

Рис. 3.11 — Микросхема КР1533ЛП3

резервирования специально разработана микросхема КР1533ЛП3 (рис. 3.11), кото-рая содержит три мажоритарных элемен-та, имеющих дополнительный вход управления *ЕС*. При *ЕС* = 0 выходной сигнал каждого элемента равен 1, в слу-чае если не менее чем на двух из трех входов *А,* *В,* *С* действует единичный сиг-нал. При *ЕС* = 1 на выход проходит сиг-нал со входа *С* независимо от сигналов на других входах.

43

**4** **БАЗОВЫЕ** **ЛОГИЧЕСКИЕ** **ЭЛЕМЕНТЫ**

**4.1** **Классификация** **логических** **элементов**

Для современной схемотехники характерно широкое ис-пользование базисов И-НЕ и ИЛИ-НЕ. Для их реализации логи-ческие элементы строят, как правило, из двух частей: части схе-мы, выполняющей операции И или ИЛИ (так называемой вход-ной логики), и инвертора, выполняющего операцию НЕ. Входная логика может быть выполнена на различных полупроводниковых элементах: диодах, биполярных и полевых транзисторах. В зави-симости от вида полупроводниковых элементов, применяемых для изготовления входной логики и инверторов, различают:

ДТЛ — диодно-транзисторную логику;

ТТЛ — транзисторно-транзисторную логику; ТТЛШ — ТТЛ с диодами Шоттки;

ЭСЛ — эмиттерно-связанную логику;

И2Л — интегральную инжекционную логику;

КМОП — логику на комплементарных парах полевых транзисторов;

ИСЛ (GaAs) — истоково-связанная логика с управляю-щим затвором Шоттки.

В следующих параграфах будет рассмотрено устройство и работа базовых элементов ТТЛ, ТТЛШ, ЭСЛ и КМОП, как имеющих в настоящее время наиболее широкое применение**.**

**4.2** **Базовый** **элемент** **ТТЛ**

Транзисторно-транзисторная логика (ТТЛ) малой степени ин-теграции появилась на первом этапе развития интегральной схемо-техники (1969–1985 гг.). Эти схемы характеризуются хорошими электрическими параметрами, удобны в применении, обладают большим функциональным разнообразием. Отечественная про-мышленность выпускала микромощную серию 134 и стандарт-ные серии 133, 155 (аналоги зарубежных SN54, SN74).

Простейший логический элемент ТТЛ строится на базе мно-гоэмиттерного транзистора *VTm*, выполняющего функцию И для

44

сигналов, подаваемых на его эмиттеры, и транзисторного ключа *VT*1, выполняющего функцию НЕ (рис. 4.1, *а*). Если на всех вхо-дах высокие уровни напряжения (*А*=1 и *В*=1), закрыты эмиттер-ные переходы *VTm*, открывается переход база-коллектор этого транзистора и ток *I* открывает и насыщает ключевой транзистор *VT*1, формируя на выходе низкий уровень напряжения (*F*=0). При низком уровне сигнала на любом из входов ток *I* переключается в выходную цепь источника сигнала, закрывая *VT*1. При этом *F*=1. Таким образом, схема реализует таблицу истинности элемента 2И-НЕ.

*E*

I ↓ *R*Б

I ↓ *R*Б 4к

*F* *A*

*A* *B* *VTm*

*B* *VTm* *VT*1

*а* *б*

1,6к 130 *E*

К *VT*3

*VT*2 *VD*1

*F=AB* Э

*VT*1

1к *С*н

Рис. 4.1 — Базовая схема элемента ТТЛ

Для повышения экономичности и быстродействия выходной ключ выполняют по схеме сложного инвертора (рис. 4.1, *б*). При *А=В=*1 открыты транзисторы *VT*2, *VT*1 (транзистор *VT*3 закрыт), и емкость нагрузки *С*н быстро разряжается через сопротивление от-крытого ключа *VT*1. Для любой другой комбинации входных сиг-налов емкость нагрузки имеет возможность быстро зарядиться до высокого уровня напряжения через низкое выходное сопротивле-ние эмиттерного повторителя *VT*3 (*VT*2 и *VT*1 закрыты).

Собственное потребление тока в выходной цепи отсутствует как при логическом нуле на выходе (закрыт *VT*3), так и при логи-ческой 1 на выходе (закрыт *VT*1). В этом отношении сложный инвертор на биполярных транзисторах подобен инвертору на КМОП-транзисторах.

45

Для повышения помехоустойчивости эмиттеры *VTm* часто соединяют с корпусом через диоды, запертые для входных сигна-лов положительной полярности. Они открываются только при отрицательной полярности импульсов, которые могут возникать при переходных процессах в схеме.

Описанный элемент имеет так называемый стандартный вы-ход с нагрузочной способностью *n* 10. Функциональные воз-можности элемента могут быть расширены за счет подключения логического расширителя, а также за счет придания выходу таких особенностей, как выход с открытым коллектором, выход с от-крытым эмиттером, выход с *Z*-состоянием.

**4.3** **Логический** **расширитель**

В схеме ***логического*** ***расширителя*** (рис. 4.2, *а*) задейство-ваны лишь элементы *R*Б, *VTm* и *VT*2 базовой схемы. Логические расширители (например, К155ЛД1) используются совместно с другими логическими элементами (например, К155ЛР3 или К155ЛР1), имеющими соответствующие входы К и Э (см. точки К и Э базовой схемы ТТЛ). При подключении логического расши-рителя к базовой схеме логического элемента И-НЕ (рис. 4.2, *б*) формируется элемент двухступенчатой логики И-ИЛИ-НЕ.

*E*

*R*Б К

*A* & 1 *B*

*C* *D*

*VTm* *VT*2

*а* Э

*C* *D*

|  |  |
| --- | --- |
| &1 | К Э |

К *F=AB+CD* Э

*б*

Рис. 4.2 — Логический расширитель и его подключение к базовой схеме логического элемента ТТЛ

**4.4** **Элемент** **с** **открытым** **коллектором**

В ***элементе*** ***с*** ***открытым*** ***коллекторным*** ***выходом*** (рис. 4.3, *а*) *VT*3 и *VD*1 отсутствуют. Вместо них подключают элементы автоматики (обмотки реле) или индикации (например,

46

светодиод). Такие элементы допускают гальваническое объеди-нение выходов. Пример применения логического элемента с от-крытым коллекторным выходом (микросхема К155ЛА8) показан на рис. 4.3, *б*. Логические элементы с открытым коллектором по-зволяют осуществлять непосредственное соединение (пайку) ме-жду собой выводов нескольких микросхем. При этом обеспечи-вается реализация дополнительной логической функции. На вы-ходе *F* реализуется логическая функция *F* *Y*1⋅*Y*2 *AB*⋅*CD* — монтажное И, т. е. логическая единица на выходе *F* появится только тогда, когда заперты все выходные транзисторы элемен-тов, коллекторы которых подключены к резистору *R*.

|  |  |  |
| --- | --- | --- |
|  | &  & | *Y1*  *Y2* |
| &  & |
|  |
|  |
|  |

*A* *B*

*а* *D*

*C*

Рис. 4.3 — Элемент с открытым коллекторным выходом (*а*) и пример подключения к нему нагрузок (*б*)

+5 В *F* *HL1* +5 В

*R*

*K1*

+5 В

*б*

**4.5** **Элемент** **с** **Z-состоянием** **на** **выходе**

Схема с открытым коллектором имеет существенный недос-таток — переход в высокоомное (единичное) состояние происхо-дит из-за влияния паразитных емкостей всегда медленнее, чем переход в низкоомное (нулевое). Вместо элементов с открытым коллектором лучше использовать ***элементы*** ***с*** ***тремя*** ***состоя-ниями*** ***на*** ***выходе*** (рис. 4.4). При высоком уровне на входе *EZ* вы-ход переходит в третье (высокоимпедансное) состояние. При *EZ*=0 схема работает как обычный элемент И-НЕ. В *Z*-состоянии закрыты все три транзистора базовой схемы.

47

*+E* *R*

*A* *VT3*

*VT1*

*B* *VT2*

*VT4*

*F=AB*

*VT5*

|  |  |  |  |
| --- | --- | --- | --- |
|  |   *EZ* |  |  |
|  |
|  | *F* |
|  |

*EZ* *а* *б*

Рис. 4.4 — Элемент ТТЛ с *Z*-состоянием (*а*) и его УГО (*б*)

**4.6** **Рекомендации** **по** **применению** **элементов** **ТТЛ**

Широко распространенные серии ИМС, как правило, со-держат в одном корпусе несколько логических элементов: четыре ЛЭ типа 2И или 2И-НЕ, три ЛЭ типа 3И или 3И-НЕ, два — 4И или 4И-НЕ и один восьмивходовой ЛЭ И-НЕ. При практической реализации принципиальной схемы возникают ситуации, когда не все входы оказываются задействованы, и встает вопрос о том, как правильно распорядиться ими. Неиспользованные ЛЭ реко-мендуется включать так, чтобы их выходы имели высокий потен-циал, для чего на входы элементов И-НЕ, ИЛИ-НЕ подают уро-вень логического 0 (заземляют). При этом уменьшается рассеи-ваемая мощность, а сами выходы можно использовать в качестве логической 1 для входов других ЛЭ.

Незадействованные входы одного логического элемента ис-пользуют следующим образом:

– объединяют с другими входами ЛЭ, учитывая, что при этом возрастает нагрузка на источник сигнала и увеличивается входная емкость;

– если на неиспользованном входе должен быть уровень ло-гического 0, то данный вход можно просто заземлить.

Если на неиспользованном входе должен быть уровень ло-гической 1, то этот вход можно подключить к выходу другого

48

ЛЭ, на котором постоянно установлен высокий уровень 2,4–3,6 В, либо через резистор 1–2 кОм можно подключить к источнику пи-тания до 20 неиспользуемых входов. Формально такой вход мож-но оставить свободным, однако при этом снижается помехо-устойчивость ЛЭ, поскольку на него наводятся сигналы помех. Особое внимание следует уделить фильтрации питания по низкой и высокой частоте. Рекомендуется у каждой ИМС ставить высо-кочастотный керамический конденсатор 0,01–0,1 мкФ, а на шину питания, электролитический конденсатор емкостью в нескольких десятков микрофарад.

Замечания к обозначениям логических элементов, выпол-няемых в соответствии с требованиями ГОСТ 2. 743-82.

1. Все входы и выходы, имеющие определенное функцио-нальное назначение, должны обозначаться латинскими буквами, взятыми из английских слов, отражающих данное функциональ-ное назначение.

2. Буквенные обозначения, указанные на левом и правом до-полнительных полях, должны быть без инверсий. Инверсные входные и выходные сигналы обозначаются указателем инверсии (кружок), который указывает, кроме того, активный уровень входных и выходных сигналов, имеющих строго определенное функциональное назначение.

**4.7** **Базовый** **элемент** **ТТЛШ**

Базовый элемент ТТЛШ выполняется подобно элементу ТТЛ, но коллекторные переходы транзисторов зашунтированы диодами Шоттки. Диоды Шоттки исключают насыщение транзи-сторов, поэтому схемы ТТЛШ свободны от недостатков, связан-ных с рассасыванием избыточных зарядов, и позволяют сущест-венно повысить быстродействие по сравнению с ТТЛ-логикой.

В маломощных микросхемах ТТЛШ высокое быстродейст-вие сочетается с умеренным потреблением мощности. Вместо многоэмиттерного транзистора в таких ИМС, как в ДТЛ, исполь-зуются диоды Шоттки (рис. 4.5).

49

*R* +*Е* *А* *VD*1 *F=AB*

*В*

*VD*2 *VT*3

*VT*1 Рис. 4.5 — Базовый элемент *VT*2 ТТЛШ

**4.8** **Базовая** **схема** **ЭСЛ**

***Эмиттерно-связанная*** ***логика***. Элементы ЭСЛ являются основной базой для микросхем сверхвысокого быстродействия. Для уменьшения задержек переключения транзисторы в элемен-тах ЭСЛ не насыщаются. Уменьшению задержек способствует также уменьшение логического перепада и использование эмит-терных повторителей для ввода и вывода сигналов (рис. 4.6).

*R*К 220

*VT*1 *VT*2 *VT*3

*А* *В*

*R*К

220

*VT*4

*U*ОП

–1,3 В *F=А+B*

510

*I*0 ↓ *R*Э 780

*–Е*

–5,2 В

Рис. 4.6 — Базовая схема ЭСЛ

Элемент ЭСЛ реализует переключение тока *I*0. При закры-тых *VT*1 и *VT*2 (*A* = *B* = 0) ток *I*0 течет через транзистор *VT*3. Для этого на базу *VT*3 подается постоянное опорное напряжение *U*оп. На коллекторе транзистора *VT*3 за счет падения напряжения на

50

резисторе *R*к формируется низкий потенциал, который повторя-ется на выходе (уровень логического нуля).

При подаче высокого уровня (логической 1) на базу хотя бы одного из транзисторов *VT*1 или *VT*2, ток *I*0 течет через них, а транзистор *VT*3 закрыт и его высокий потенциал формирует на выходе логическую 1. Следовательно, элемент ЭСЛ на выходе реализует функцию ИЛИ. На выходе эмиттерного повторителя, подключенного к коллектору транзисторов *VT*1 и *VT*2, можно реализовать логическую функцию ИЛИ-НЕ.

Напряжение питания ЭСЛ обычно выбирается равным –5,2 В, уровню логической 1 соответствует напряжение –0,8 В, а уровню логического нуля –1,7 В.

Несмотря на малые значения времени переключения им-пульсные помехи в цепях питания незначительны, так как по-требление тока в этой схеме не изменяется при ее переключении.

**4.9** **Базовые** **элементы** **КМОП**

Логические элементы КМОП (например, серии КР1564) стро-ятся на комплементарных парах полевых транзисторов с изолиро-ванным затвором с индуцированными *n*- и *p*-каналами (рис. 4.7).

*+Е* *+Е* *VT2* *VT1* *VT2*

*VT1* *VT3*

*F* *А* *VT4*

*В*

*а*

*F* *А* *VT3*

*VT4*

*В*

*б*

Рис. 4.7 — Базовые элементы КМОП-логики: *а* — 2ИЛИ-НЕ; *б* *—* 2И-НЕ

Общая закономерность построения таких структур состоит в том, что параллельное соединение одного типа транзисторов со-

51

провождается последовательным соединением транзисторов противоположного типа. Транзисторы с проводимостью *n*-типа открываются при единичном сигнале на затворе, с проводимо-стью *р*-типа — при логическом нуле на затворе. Так как любой из входных сигналов (*А* или *В*) подается на пару транзисторов раз-ного типа, ток в цепи источника питания *Е* отсутствует. Элемент КМОП характеризуется очень низкой статической мощностью потребления.

На комплементарной паре транзисторов строятся также дву-направленные ключи (рис. 4.8). При *W* = 1 ключ замкнут (между точками *X* и *Y* сопротивление примерно 100 Ом), при *W* = 0 — разомкнут. Такие ключи исполь-зуются для коммутации не только цифровых, но и аналоговых сигна-лов. Их добавление к выходам

*W*

*X* *Y*

*X* *Y*

|  |  |
| --- | --- |
| 1 | |
|  |  |

+*E*

*б*

*а*

*W* обычного логического элемента Рис. 4.8 — Ключ КМОП: обеспечивает ему третье состояние

*а* — схема; *б* *—* электрический

эквивалент ключа

(состояние разомкнутого выхода), в которое он переходит при *W* = 0.

**4.10** **Основные** **характеристики** **логических** **элементов**

Интегральные микросхемы малой и средней степени инте-грации изготавливают на основе всех рассмотренных технологий. Основными техническими параметрами логических элементов являются быстродействие, потребляемая мощность, помехо-устойчивость, нагрузочная способность, уровни напряжения, со-ответствующие логическому 0 или логической 1.

Познакомимся с ними, анализируя характеристики инверто-ра (элемента НЕ, рис. 4.9, *а*).

52

*U*вых *U*вх 1 *U*вых *U*вых1

Сн

*U*пом0

*а*

*U*вых0

*U*вх *U*вх0

*Р*ср

*б* *U*пом1

*U*вх1 *U*вх

*t* *U*вых *t*з10 *t*з01

*Р*дин

*t* *Р*ст *f* *в* *г*

Рис. 4.9 — Основные характеристики логического элемента

В справочниках приводится диапазон напряжений, соответ-ствующих уровню логического нуля (*U*вх0*,* *U*вых0) и единицы (*U*вх *,* *U*вых )*.* На рис. 4.8, *б* показана передаточная характеристика инвертора. При определенном входном напряжении происходит переключение ЛЭ. Обозначены отрезки, характеризующие допус-тимую величину помехи на входе при низком (*U*пом0) и высоком (*U*пом ) уровне *U*вх. Наименьшая из них приводится в справочни-ках, характеризуя статическую помехоустойчивость ЛЭ.

1 1

1

При подаче на вход инвертора импульса *U*вх выходной сиг-10 01

ç ç

*t* *t*





нал оказывается задержанным на время задержки *t*ç 2 (рис. 4.9, *в*). Задержка обусловлена инерционными свойствами транзисторов и перезарядом паразитных емкостей (в основном емкостью нагрузки *С*н).

53

Потребляемая мощность *Р*ср определяется как среднее арифметическое значение мощностей, потребляемых ЛЭ в со-стояниях логического 0 и логической 1 на выходе. Она сущест-венно зависит от частоты входного сигнала. Зависимость *Р*ср*=* *F*(*f*) можно снять, подавая с генератора на вход инвертора прямоугольные импульсы со скважностью, равной двум (рис. 4.9, *г*). *Р*ср определяется как сумма статической (*Р*ст) и динамической (*Р*дин) составляющих. *Р*дин *=* *СU* *f* возрастает пропорционально частоте, где *U* — величина логического перепада (*U* *=* *U*вых *–* *U*вых )*.*

2

1 0

Нагрузочная способность *n* характеризует число входов аналогичных ЛЭ, которое можно подключить к выходу данного без нарушения его нормального функционирования.

Проводя сравнительный анализ различных типов ИМС, можно отметить, что элементы ТТЛ характеризуются средним быстродействием. Им на смену пришли элементы ТТЛШ повы-шенного быстродействия и более экономичные. Самыми эконо-мичными являются элементы КМОП. Самыми быстродействую-щими являются элементы ЭСЛ, но они потребляют большую мощность от источника питания и работают от источника с отри-цательной полярностью напряжения питания, хотя и в формате положительной логики.

Основные параметры микросхем серий К155 (ТТЛ), К555 (маломощная ТТЛШ), КР1533 (усовершенствованная маломощ-ная ТТЛШ), КР531 (быстродействующая ТТЛШ) приведены в табл. 4.1.

Таблица 4.1 — **Основные** **параметры** **серий** **ТТЛ** **и** **ТТЛШ**

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Параметр | К155 | К555 | КР1533 | КР531 |
| *Р*ср, мВт *t*з, нс *n* | 10 20 10 | 2 18 20 | 1.2 14 40 | 19 5 10 |

Основные характеристики микросхем КМОП (серии 564, К1564): Напряжение питания *Е*, В…….……………………………….…........3–15 Мощность, потребляемая в статическом режиме, мкВт / корпус …..0,1 при *F* = 1 МГц, *Е*= 10 В, *С*НАГР = 50 пФ.…………………………....…20 Помехоустойчивость по входам, В ………………………. не менее 0,3 *Е* Средняя задержка распространения сигнала на один

логический элемент при *С*НАГР = 15 пФ, *Е* = 5 В, нс………………..…60

54

**4.11** **Примеры** **микросхем** **логических** **элементов**

На рис. 4.10 приведены УГО некоторых логических элемен-тов. Корпус микросхем логических элементов имеет, как прави-ло, 14 выводов. Два вывода служат для подключения к источнику питания, а 12 — являются входами и выходами ЛЭ. Нумерация выводов — против часовой стрелки, начиная с метки (ключа) в виде углубления на корпусе.

К555ЛА1 К555ЛА2

2 &

2

9

12

|  |  |  |
| --- | --- | --- |
| 1  4 | & | 6 |
| 8 |
| 5 |
| 10 |
| & |
| 13 |
|  |
|  |

3

5

11

1

4 8

6

12

К555ЛА3

1 & 3

2

5

9

11

&

4 & 6

10 & 8

12

13

К555ЛА4 К555ЛА6

1 & 12

1

9

12

|  |  |  |
| --- | --- | --- |
| 2 | & | 6 |
| 4 |
| 8 |
| 5 |
| 10 |
| & |
| 13 |
|  |
|  |

2

9

10

4

13

3 & 6 5

11 & 8

К555ЛЕ1 К555ЛЕ4

2 1 12

2

|  |  |  |
| --- | --- | --- |
| 3 | 1 | 1 |
| 4 |
| 5 |
| 1 |
| 6 |
| 10 |
| 8  9  11  12 |
| 1 |
| 13 |
| 1 |
|  |

1

10

4

13

3 1 6 5

9 1 8

11

К555ЛИ1

1 & 3

2

5

9

11

&

4 & 6

10 & 8

12

13

К555ЛИ2

1 & 3

2

5

9

13

4 & 6

10 & 8

12 & 11

Рис. 4.10 — Примеры микросхем логических элементов

Многие серии цифровых интегральных микросхем включа-ют шинные формирователи. Так иначе называют буферные эле-менты с тремя состояниями на выходе (рис. 4.11). Основное на-значение таких микросхем — поочередная подача на одну маги-страль сигналов от различных источников. Причем благодаря большой нагрузочной способности микросхем магистраль может иметь большую емкость и большое число подключенных к ней нагрузок и источников сигналов.

55

На рис. 4.11, *а* показано УГО ИМС восьмиразрядного дву-направленного приемопередатчика К555АП6. Вход управления *BS* (Bus State — состояние шины) служит для изменения направ-ления передачи данных, вход управления *ОЕ* служит для перево-

да шин АN и ВN в третье состояние. При *BS* *=* *Î* *Å* = 0 передача данных идет справа налево, т. е. ВN являются входами, АN — выхо-

дами. При *BS* = 1, *Î* *Å* = 0 данные АN являются входными, ВN — выходными. При *Î* *Å* = 1, независимо от состояния входа управ-ления *BS*, обе шины находятся в состоянии *Z*.

К555АП6 КР1533АП6 К580ВА86

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  |  | | | В  0 1 2 3 4 5 6 7 |
| А 0 1 2 3 4 5 6 7 |  |  |
|  | |
|  |
|  |
|  |
|  |
|  |
|  |
|  |
|  |
| BS |
|  |
| ОЕ |

*а*

К589АП16

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  | | | DO 0 1 2  3  DB 0 1 2 3 |  |
| DI  0 1 2 3 |  |  |
|  | |
|  |
|  |
|  |
|  |
|  |
|  |
|  |
|  |
| BS |  |
|  |
| ОЕ |  |
|  |

*б*

A B

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  |  | | | |  | | |  |
| *DD*1 | |  | |
|  |  |  | |  |
|  |  |
|  |  |  |  | | |  |  |  |
|  | |  |
| *DD*2 | |  |  | |
|  |  |
|  | |
|  | | |
|  | | | | | |  | | |

*BS*

*в*

Рис. 4.11 — Логические ИМС — шинные формирователи: *а* *—* восьмиразрядный двунаправленный приемопередатчик;

*б* *—* четырехразрядный приемопередатчик сдвумя однонаправленными исоднойдвунаправленной шинами;

*в* *—* функциональная схема одного двунаправленного канала

Рис. 4.11, *б* показывает УГО ИМС четырехразрядного прие-мопередатчика с двумя однонаправленными (*DI* *—* *DB,* *DB* *—* *DO*) и одной двунаправленной (*DB*) шинами. Вход управления *BS* определяет направление обмена данными, вход управления *ОЕ* служит для перевода шин *DO* (Data Output — выходные данные) и *DB* (Data Bus Bidirectional — двунаправленная шина) в третье

56

состояние. При *BS*=0 выход буфера *DD*2 разомкнут и передача данных происходит от А к В через буфер *DD*1. При *BS*=1 данные передаются от В к А через буфер *DD*2. В микросхеме К589АП26 передача сигнала в обоих направлениях сопровождается его ин-вертированием.

**4.12** **Микросхемы** **на** **основе** **арсенида** **галлия**

Микросхемы К6500 представляют собой цифровые схемы сверхвысокого быстродействия, выполненные на основе арсенид-галлиевых полевых транзисторов с затвором Шоттки.

Микросхемы К6500 по сравнению с ИС ЭСЛ К500, К1500 имеют в 4–6 раз меньшую мощность потребления на один ЛЭ и в 3–8 раз большую частоту переключения и меньшую задержку на ЛЭ.

В серии имеют место следующие основные параметры логи-ческих сигналов: длительность фронта (среза) выходного сигнала 0,16…0,3 нс, выходное напряжение при *R*н = 50 Ом низкого уров-ня — 0,2…0,1 В, высокого уровня — 0,9…1,5 В, входной ток низкого уровня не более 0,5 мА, высокого уровня — не более 1 мА, помехозащищенность низкого и высокого уровня — не менее 0,1 В, максимальная частота функционирования не менее 1000 МГц.

Цифровые микросхемы К6500 предназначены для обработ-ки цифровых сигналов с тактовой частотой более 1000 МГц в контрольно-измерительных приборах, аппаратуре связи и ЭВМ.

При эксплуатации ИС К6500 имеют место предельно допус-тимые режимы, приведенные ниже.

Напряжение питания: положительное 3,8...4,2 В

отрицательное –2,28…2,52 В Входное напряжение –0,2…1,5 В Выходной ток не менее 30 мА

Несогласованная емкость нагрузки *Сн* не более 2 пФ Температура корпуса –10…+70 °С Сопротивление нагрузки 45…55 Ом

Стойкость к статическому электричеству 30–100 В

57

Микросхемы выполнены в плоских планарных металлоке-рамических корпусах с числом выводов 16, 24, 42. При обозна-чении ИС К6500 микросхемы эксплуатируются в диапазоне тем-ператур –10 +70 °С, а при обозначении 6500 — в диапазоне тем-ператур –60 +125 °С.

Микросхемы К6500 построены на основе базовых ЛЭ исто-ково-связанной логики (ИСЛ) на полевых транзисторах с управ-ляющим затвором Шоттки.

В структурной схеме ЛЭ имеются входные и выходной фор-мирователи сигналов и собственно базовый ЛЭ. Один из основных вариантов реализации собственно базового ЛЭ на полевых транзи-сторах Шоттки приведен на рис. 4.12.

+*Е*

*R*4

*R*2 *R*3 *VT*6

*VT*5 *VT*1 *VT*2

*X*1 *VD*1 *VD*4 *X*1 *VD*2 *VD*5 *VT*3 *VT*4 *VD*3 *VD*6

*X*2 *Y* *X*2 *VT*7 *Y*

*VT*9

*R*1 *VT*8

*VT*10

–*Е* Рис. 4.12 — Типовойбазовый ЛЭс истоково-связанной

логикой (ИСЛ) наосновеарсенидогаллиевых полевых транзисторовсбарьером Шоттки

Базовый элемент построен по схеме переключателя тока на основе дифференциальных пар транзисторов *VT*1*,* *VT*2 и *VT*3*,* *VT*4*;* резистора *R*1, определяющего ток истока; нагрузочных резисто-ров *R*2*,* *R*3 и резистора смещения *R*4 для согласования по уровням напряжения выходов истокового переключателя тока и выходных истоковых повторителей на транзисторах *VT*5*,* *VT*6*.* Диоды Шотт-

58

ки *VD*1 *–VD*6 и транзисторы *VT*7 *–VT*10 в цепях истоков выходных транзисторов необходимы для согласования с выходным форми-рователем и стабилизации выходного напряжения. Питание ЛЭ и формирователей осуществляется от двух источников напря-жения: 4 В и –2,45 В.

59

**5** **ЦИФРОВЫЕ** **УСТРОЙСТВА** **КОМБИНАЦИОННОГО** **ТИПА**

**5.1** **Шифратор**

***Шифратор*** (CD — CoDer — кодер) — это устройство, осу-ществляющее преобразование десятичных чисел (позиционный или унитарный код) в двоичный код. Шифратор имеет m входов, пронумерованных десятичными числами (0, 1, 2... *m* – 1) и *n* вы-ходов, причем 2n ≥*m*. Подача управляющего сигнала на один из входов приводит к появлению на выходе *n*-разрядного двоичного числа, соответствующего номеру возбужденного входа.

Шифраторы широко применяются в устройствах автомати-ки, особенно в устройствах ввода/вывода информации. На кла-виатуре ввода имеются клавиши с десятичными цифрами, бук-венный алфавит, а при нажатии клавиши позиционный код дол-жен преобразоваться в двоичный**.**

Рассмотрим вариант построения шифратора для случая, ко-гда при нажатии кнопки вырабатывается сигнал с активным уровнем, соответствующим логической 1. Имеем десятичный по-зиционный код x0, x1,... x9, образуемый набором из 10 клавиш, пронумерованных 0–9. Необходимо получить нормально взве-шенный код 8-4-2-1 — y8, y4, y2, y1, соответствующий номеру на-жатой кнопки. Чтобы получить логические выражения для вы-ходных сигналов, воспользуемся таблицей истинности (табл. 5.1).

Таблица 5.1

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| *N* | Входные сигналы | | | | | | | | | | Выходной код | | | |
| x0 | x1 | x2 | x3 | x4 | x5 | x6 | x7 | x8 | x9 | y8 | y4 | y2 | y1 |
| 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 2 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 |
| 3 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| 4 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 |
| 5 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 |
| 6 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 7 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 | 1 |
| 8 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | 0 | 0 | 0 |
| 9 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |

60

Решение задачи в общем виде в случае десяти переменных представляется весьма трудным. Однако решение задачи упрощает-ся, так как исходная функция принимает единичное значение в каж-дой строке всего лишь один раз. Нетрудно заметить, что выходные сигналы можно получить дизъюнкцией входных переменных:

y8 = x8+x9;

y4 = x4+x5+x6+x7; y2 = x2+x3+x6+x7;

y1 = x1+x3+x5+x7+x9.

Судя по полученным выражениям, входной сигнал x0 не участвует в формировании выходного кода. Отсутствие сигнала на любом из остальных входов x1 – x9 указывает на то, что уста-новлен нулевой набор.

При реализации шифратора на элементах ИЛИ-НЕ, выход-ные сигналы окажутся инвертированными (рис. 5.1, *а*). На рис. 5.1, *б* представлено условное графическое обозначение дан-ного шифратора, здесь символ CD образован из букв, входящих в английское слово CODER. Входной сигнал x0 на условном изо-бражении шифратора отсутствует, поскольку не участвует в фор-мировании сигналов выхода.

|  |  |  |
| --- | --- | --- |
|  | y2 |  |
|  |  |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 1 |  |  | y4 |  |
|  |  |
|  | |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| x0 x1x2x3x4x5 x6 x7 x8 x9 | | | | | | | | | | | | |  | |  |
|  |  |  |  |  |  |  |  |  |  |  | | |
|  | 1 |  |  | y1 |
|  |  |
| y8 | |
| 1  1 | | |

3

6

7

x

9

x

7

x

5

3

x

y

x1 1 СD

x2 2 1 1 x4 4 2 y2

x6 5 4 y4

x8 8 8 y8 *а* 9 *б*

Рис. 5.1 — Функциональная схема (*а*) и условное графическое обозначение шифратора (*б*)

Пример интегральной микросхемы приоритетного шифратора приведен на рис. 5.2. Микросхема К555ИВ3 имеет 9 инверсных вхо-дов для подачи кодируемого сигнала и 4 инверсных выхода кода 8-4-2-1. В исходном состоянии на всех входах и выходах логическая 1.

61

При подаче на любой из входов логического 0 на выходе форми-руется инверсный код номера этого входа. Если логический 0 по-дан сразу на несколько входов, код на выходе соответствует наи-большему номеру входа, на который подан логический 0.

|  |  |  |
| --- | --- | --- |
|  | 1 2 3 4 5 6 7 8 9 | CD  8  4  2  1 |
|  |
|  |
|  |

Рис. 5.2 — Приоритетный шифратор К555ИВ3

**5.2** **Дешифратор**

***Дешифратор*** (DC — DeCoder — декодер) — преобразова-тель *n*-разрядного двоичного кода в унитарный код «1 из *m*». Ка-ждой кодовой комбинации на входах дешифратора соответствует активный уровень только на одном из выходов. Условное графи-ческое обозначение и таблица истинности полного дешифратора на два входа (*n* = 2) представлены на рис. 5.3. Логическая 1 (при активном высоком уровне на выходе) формируется на том выхо-де дешифратора, адрес которого соответствует набору двоичных сигналов на входах *А* и *В*. Выходной код носит название «один из четырех». По таблице истинности легко записать в СДНФ логиче-ские функции, связывающие сигналы на каждом выходе дешифра-тора с его входными сигналами (они показаны на рисунке). Для реализации дешифратора требуются логические элементы И и НЕ.

*A* *B*

|  |  |  |  |
| --- | --- | --- | --- |
|  | 2 1 | DC 0 1 2 3 |  |
|  |  |

*Y*0 *=* *AB* *Y* *=* *AВ* *Y*2 *=* *АВ* *Y*3 *=* *АВ*

1

*A* *B* *Y*0 *Y*1 *Y*2 *Y*3

0 0 1 0 0 0 0 1 0 1 0 0 1 0 0 0 1 0 1 1 0 0 0 1

Рис. 5.3 — Полный дешифратор на два входа

62

При наличии разрешающего входа *Е* (рис. 5.4, *а*) дешифра-тор можно использовать как ***демультиплексор*** — коммутатор сигнала с одного входа на несколько выходов. Сигнал, подавае-мый на вход *Е*, повторяется на том выходе *Y*i, адрес которого по-дан на входы *А* и *В*. При *Е* = 0 работа дешифратора запрещена (на всех выходах устройства логический 0). Реализация демуль-типлексора на логических элементах показана на рис. 5.4, *б*.

|  |  |  |
| --- | --- | --- |
|  |  | &  &  &  & |
|  |
|  | |

*A* *B*

*E*

*E* *Y*0

*Y*0 *A* 1 *Y*1

|  |  |
| --- | --- |
| DC 0 2 1 1 2  3 E |  |
|  |
|  |

*Y*

1

*Y*2 *B* 1 *Y*2 *Y*3 *Y*3

*а* Рис. 5.4 — Демультиплексор *б*

Интегральные микросхемы дешифраторов/демультиплексо-ров часто имеют инверсные выходы, а также группу разрешаю-щих входов (прямых и инверсных), объединенных логикой И (рис. 5.5).

К555ИД7 К1533ИД3 К155ИД10

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | 1 2 4  & E | DC | 0 1 2 3 4  5 6 7 |  |  |
|  |
|  |

|  |  |  |  |
| --- | --- | --- | --- |
|  | DC  1 0 2 1 4 . 8 .  14 & 15  E |  |  |
|  |
|  |

DC ~~◊~~1 0 2 1 4 ... 8

8 9

Рис. 5.5 — Примеры микросхем дешифраторов/демультиплексоров

При *E* *E* ⋅*E*2 ⋅*E*3 1 на входах управления микросхемы К555ИД7 логический 0 (активный уровень — низкий) формиру-ется на том выходе, код которого подан на информационные вхо-ды дешифратора.

1

63

Сигнал, подаваемый на один из входов *Е* демультиплексора К1533ИД3 при заземлении второго входа повторится на том вы-ходе микросхемы, код которого подан на адресные входы.

Дешифратор К155ИД10 имеет прямой четырехразрядный двоичный вход и десять инверсных выходов. К открытым коллек-торным выходам микросхемы можно подключать любые нагрузки, включая обмотку реле (15 В, 80 мА). Такую же функциональную схему имеет микросхема К155ИД1, предназначенная для управления цифровым газоразрядным индикатором (70 В, 7 мА).

**5.3** **Преобразователи** **двоичного** **кода** **в** **двоично-десятичный,** **и** **наоборот**

Микросхемы К155ПР6 и К155ПР7 служат для преобразова-ния двоично-десятичного кода в двоичный и наоборот. Микро-схемы являются постоянными запоминающими устройствами, программирование которых произведено на заводе-изготовителе. Одна микросхема К155ПР6 позволяет выполнить преобразование чисел 0–39 из двоично-десятичного кода в двоичный код. Разряд единиц не подвергается преобразованию, так как он совпадает в двоично-десятичном и двоичном кодах. Аналогично, одну мик-росхему К155ПР7 можно использовать для преобразования дво-ичного кода чисел 0–63 в двоично-десятичный. Как правило, раз-рядности одиночных микросхем недостаточно для решения задач преобразования многоразрядных кодов, в этих случаях применя-ют каскадное соединение микросхем (рис. 5.6, рис. 5.7).

Для преобразования двоично-десятичных кодов чисел 0–999 в двоичный требуется шесть, а чисел 0–9999 — девятнадцать микросхем К155ПР6, для преобразования двоичных кодов чисел 0–4095 и 0–65535 в двоично-десятичный — соответственно 8 и 16 микросхем К155ПР7.

Микросхемы К155ПР6 и К155ПР7 выполнены с открытым коллекторным выходом, поэтому для обеспечения помехоустой-чивой работы микросхем между их выходами и плюсом питания следует устанавливать нагрузочные резисторы 15,1 кОм. Эти резисторы на приведенных схемах не показаны. Вход разрешения работы микросхем *Е* (*CS*) должен быть подключен к общему про-воду, при подаче на него логической 1 все выходные транзисто-ры переходят в выключенное состояние.

64

1

2

4

8

16

32

64

128

*DD*2

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | | 2 X/Y  4  8  16  32  E | 2  4  8  10  20 |  |
| *DD*1  2 X/Y 2  4 4  8 8  16 10 |  |  |
| *DD*3  2 X/Y 2  4 4 |
|  |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | 32 20  E 40 |  | | | |
|  | | 8  16  32  E | 8  10  20 |
|  |  |
|  |
|  | | |
|  |

1

2

4

8

10

20

40

80

100

200

Рис. 5.6 — Преобразователь двоичного кода чисел от 0 до 255 в двоично-десятичный на микросхемах К155ПР7

SA1

SW 1 *DD*1 1 1 2 X/Y 2 2

1 4 4 4

SA2

SW

C

1

A 1 B 1 D 1 E 1

8 *DD*2

10 8 2 X/Y 2 8

20 16 4 4 16

E 32 8

10 8 32

20 16 64

E

Рис. 5.7 — Преобразователь двоично-десятичного кода чисел от 0 до 99 в двоичный на микросхемах К155ПР6

65

На рис. 5.7 показано устройство, формирующее на выходе двоичный код десятичного числа (от 00 до 99), набираемого на лимбах программного переключателя. Программный переключа-тель *SW* (ПП10-ХВ) представляет собой механическую систему, содержащую вращающийся диск с нанесенными на него метал-лизированными сегментами и скользящими по ним контактами. При заземленных контактах (вывод С) на выводах А, В, D, Е формируется инверсный двоично-десятичный код числа, наби-раемого на лимбе вращаемого диска. На лимбе переключателя SA2 набираются десятки, переключателя SA1 — единицы.

**5.4** **Дешифратор** **для** **управления** **семисегментным** **индикатором**

На рис. 5.8, *а* представлена схема подключения дешифрато-ра К514ИД1 для управления семисегментным цифровым индика-тором АЛС324А на светодиодах с объединенными катодными вы-водами (они соединены с общим выводом). При высоком потен-циале на входе *Е* (активные выходные уровни дешифратора — вы-сокие) ток порядка 5 мА протекает через светодиоды тех сегмен-тов, которые формируют изображение цифры от 0 до 9, двоично-десятичный код которой подан на входы микросхемы К514ИД1. На рис. 5.8, *б* приведено стандартное обозначение сегментов се-мисегментных преобразователей. Сегменты обозначаются латин-скими буквами a, b, c, d, e, f, g, а точка — буквой h.

К514ИД1

|  |  |  |
| --- | --- | --- |
|  | 1 2 4 8  E | DC A B C D E F G |
|  |
|  |
|  |

*а*

АЛС324А

|  |  |  |  |
| --- | --- | --- | --- |
| A LED B  C D E F G |  | | |
|  |  |  |
|  | |

a

f g b

e c h d

*б*

Рис. 5.8 — Соединение дешифратора с 7-сегментным индикатором

66

При *Е* = 0 на выходах дешифратора устанавливаются низкие уровни, и все светодиоды гаснут.

При применении семисегментного цифрового индикатора на светодиодах с объединенными анодными выводами (например, АЛС324Б) на них подается внешний потенциал от источника пи-тания +5 В, а выводы A, B, C, D, E, F, G соединяются с соответ-ствующими выводами дешифратора К514ИД2 (активные выход-ные уровни дешифратора — низкие) через резисторы номиналом 330–510 Ом, с помощью которых можно управлять яркостью све-чения цифрового индикатора.

**5.5** **Преобразователи** **кода** **Грея**

В преобразователях аналоговых физических величин (на-пример, угла поворота вала) в цифровые сигналы с погрешно-стью, не превышающей значения младшего разряда, использует-ся код Грея (он соответствует непозиционной системе счисле-ния). Код Грея строится таким образом, что при переходе от од-ного числа к следующему изменяется всегда только один двоич-ный разряд. Таблица преобразования четырехразрядных двоич-ных чисел *Х* (*х*4*,* *x*3*,* *x*2*,* *x*1) в код Грея *G* (*g*4*,* *g*3*,* *g*2*,* *g*1) приведена ниже. Прямые и обратные преобразователи кода Грея в двоичный код реализуются с помощью логических элементов «Исключающее ИЛИ» (рис. 5.9). Код Грея не позволяет осуществлять арифметиче-ские операции. Поэтому его применяют только в тех случаях, когда это дает существенные преимущества, а затем переходят к двоич-ному коду.

67

*х*1 х2

*х*3

*х*4

*g*1

*g*2

*g*3 *g*4

=1

|  |  |
| --- | --- |
| =1 |  |
|  |

=1

=1

=1

|  |  |  |
| --- | --- | --- |
|  |  |  |
| =1 |

*g*1

*g*2

*а*

*g*3

*g*4

*х*1

*х*2

*б*

*х*3

*х*4

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| *х*4 | *х*3 | *х*2 | *х*1 | *g*4 | *g*3 | *g*2 | *g*1 |
| 0 0 0 0 0 0 0 0 1 1 1 1 1 1 1 1 | 0 0 0 0 1 1 1 1 0 0 0 0 1 1 1 1 | 0 0 1 1 0 0 1 1 0 0 1 1 0 0 1 1 | 0 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1 | 0 0 0 0 0 0 0 0 1 1 1 1 1 1 1 1 | 0 0 0 0 1 1 1 1 1 1 1 1 0 0 0 0 | 0 0 1 1 1 1 0 0 0 0 1 1 1 1 0 0 | 0 1 1 0 0 1 1 0 0 1 1 0 0 1 1 0 |

Рис. 5.9 — Схемы преобразования четырехразрядных кодов: *а* — двоичного в код Грея; *б* — кода Грея в двоичный код

**5.6** **Мультиплексор**

***Мультиплексором*** (от англ. multiplexer — многократный) называют коммутатор сигналов с нескольких входов на один вы-ход. Для коммутатора с четырех входов *Хi* на один выход *Y* (рис. 5.10, *а*) выходной сигнал связан с входными соотношением

 

*Y* *E* *X*0 *AB**X*1 *AB**X*2 *AB**X*3*AB* . (5.1)

Это выражение показывает путь реализации мультиплексора на логических элементах (рис. 5.10, *б*).

При наличии разрешения на входе *Е* (*Е* *=* 1) выход повто-ряет информацию того входа, код которого подан на адресные входы *А* и *В*. При *Е* *=* 0 коммутатор закрыт (*Y* *=* 0 независимо от сигналов на входах *Хi*).

Если цифровой код на адресных входах мультиплексора по-очередно перебирает все комбинации двоичных переменных на адресных входах, состояние на выходе последовательно повторя-

68

6

ет состояние всех его информационных входов (режим мульти-плексирования данных). В этом режиме мультиплексор выполня-ет преобразование параллельного двоичного кода на информаци-онных входах в последовательный код на его выходе.

*E*

*X*0 *X*1 *X*2 *X*3

*A* *B*

E MS

0

1 *Y* 2

3

2 1

*E*

*X*0

*X*1

*X*2

*X*3

|  |  |  |  |
| --- | --- | --- | --- |
|  |  | &  &  & | 1 |
|  |
|  |  |
|  |
| & |

*Y*

*а*

Рис. 5.10 — Коммутатор сигналов с четырех входов на один выход

*A*

*B*

|  |  |  |
| --- | --- | --- |
|  | | 1  1 |
|  |  |
|  | |

*б*

Микросхемы мультиплексоров отличаются по числу ин-формационных и адресных входов, наличием или отсутствием входа разрешения, характером выходных сигналов (прямые, ин-версные или парные). Примеры микросхем мультиплексоров се-рии К555 приведены на рис. 5.11.

К555КП2 К555КП7 К555КП15

5 1.0 2MS 3 3.0

11 1.1

0.0

4

10

12

15

2.1

0.1

2.0

1

13 3.1

D.0 7

D.1 9

4

0

3

1

13

6

4

2

2

2 1

15 3

14 5

12 7

MS

5

6

4

0

3

1

13

6

4

2

1

2

2 1

15 3

14 5

12 7

MS

5

6

14

2 2

1 E.0 E.1

11

10 9

7

1

4

E

11

10

9 4

7 ОE

Рис. 5.11 — Примеры микросхем мультиплексоров

69

Сдвоенный мультиплексор К555КП2 представляет собой два четырехканальных коммутатора с общим адресным дешиф-ратором. При логическом 0, поданном на вход Е.0, на выход D.0 проходит сигнал с одного из входов 0.0–3.0, адрес которого за-фиксирован на 2-й и 14-й ножках микросхемы. При логическом 0, поданном на вход Е.1, на выход D.1 проходит сигнал с одного из входов 0.1–3.1.

Мультиплексор К555КП7 имеет восемь информационных входов, три адресных, инверсный вход разрешения. У микросхе-мы два выхода — прямой и инверсный. При логическом 0 на входе Е сигнал на прямом выходе повторяет сигнал на том ин-формационном входе, номер которого совпадает с десятичным эквивалентом кода на входах 4, 2, 1 мультиплексора. Аналогично работает и микросхема К555КП15, но подача логической 1 на вход ОЕ переводит и прямой, и инверсный выходы в высокоим-педансное состояние.

Среди схем коммутации необходимо особо выделить уст-ройства, которые способны пропускать сигналы в обоих направ-лениях. К таким элементам относятся коммутационные схемы, выполненные по технологии КМОП с использованием двуна-правленных ключей. Коммутаторы КМОП способны пропускать как аналоговые, так и цифровые сигналы, в них можно менять местами вход и выход. Такие микросхемы выполняют функции мультиплексора-демультиплексора.

**5.7** **Реализация** **функций** **с** **помощью** **мультиплексора**

Мультиплексоры удобно использовать для реализации ло-гических функций, записанных непосредственно в СДНФ. Лю-бую булеву функцию четырех переменных можно реализовать с помощью восьмиканального мультиплексора. Так, для реализа-ции, например, логической функции

*F* *A*⋅*B*⋅*C*⋅*D**A*⋅*B*⋅*Ñ*⋅*D**A*⋅*B*⋅*C*⋅*D**A*⋅*B*⋅*C*⋅*D*,

где *D* *—* переменная младшего разряда, на адресные входы муль-типлексора К555КП7 поданы входные сигналы *А*, *В,* *С,* а входы *Х*0*–Х*7 используются как настроечные (рис. 5.12, *а*). Сравнивая выра-жение для функции *F* c логическим уравнением мультиплексора

70

*X*0 *X*1 *X*2 *X*3 *X*4 *X*5 *X*6 *X*7 *A* *B* *C*

|  |  |
| --- | --- |
|  | E MUX 0  1 2 3 4 5 6 7 4 2 1 |
|  |
|  |
|  |

*Y*

*+*5

*D* *A* *B* *C*

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| В |  | | | E MS 0  1 2 3 4 5 6 7 4 2 1 |
|  | 1 |  |
|  |  |
|  | | |
|  | | | |

*F*

*а* Рис. 5.12

*б*

— Реализация заданной булевой функции с помощью мультиплексора

*Y* *A*⋅*B*⋅*C*⋅*X*0*A*⋅*B*⋅*C*⋅*X*1*A*⋅*B*⋅*C*⋅*X*2*A*⋅*B*⋅*C*⋅*X*3*A*⋅*B*⋅*C*⋅*X*4

*A*⋅*B*⋅*C*⋅*X*5*A*⋅*B*⋅*C*⋅*X*6*A*⋅*B*⋅*C*⋅*X*7, получаем условия эквивалентности:

*X*0 *=* *X*3 *=* *D,* *X*7 *=* *D,* *X*5 *=D* *+* *D* *=* 1*,* *X*1 *=* *X*2 *=* *X*4 *=* *X*6 *=* 0*.* Эти соотношения позволяют зашифровать входы мульти-

плексора на выполнение заданного логического уравнения.

В соответствии с этими условиями построена схема устрой-ства (рис. 5.12, *б*). Для подачи логической 1 входы микросхем ТТЛШ серий К555 и КР1533 можно подключать к источнику пи-

тания +5 В непосредственно. Для получения сигнала *D* исполь-зован инвертор.

**5.8** **Двоичный** **сумматор**

***Двоичный*** ***сумматор*** (SM) (рис. 5.13, *а*) служит для форми-рования арифметической суммы *n*-разрядных двоичных чисел *А* и *В* (рис. 5.12, *б*). Результатом сложения (при *n* = 4) является четы-рехразрядная сумма *S* и выход переноса *Р*, который можно рас-сматривать как пятый разряд суммы.

71

+

*n*

*n*

|  |  |
| --- | --- |
| A SM  B | S  P |

*а*

*n* *A* (*An...* *Ak...A*1) *B* (*Bn...* *Bk...* *B*1)

*S* (*Sn...* *Sk...* *S*1)

1011 1101 11000

+

*б*

Рис. 5.13 — Двоичный сумматор

***Полусумматор*** (HS) служит для сложения битов младших разрядов двух двоичных чисел (его можно реализовать на ЛЭ по таблице истинности, представленной на рис. 5.14).

*A*1 =1 *S*1 *B*1

& *P*1

HS S P

*S*1 *=* *A*1 ⊕*B*1 *P*1 *=* *A*1*B*1

|  |  |
| --- | --- |
| *A*1 *B*1 | *S*1 *P*1 |
| 0 0 0 1 1 0 1 1 | 0 0 1 0 1 0 0 1 |

Рис. 5.14 — Синтез полусумматора на логических элементах

***Полный*** ***одноразрядный*** ***сумматор*** суммирует биты соот-ветствующих разрядов двух двоичных чисел и вырабатывает пе-ренос в следующий разряд.

Полный одноразрядный сумматор можно построить из двух полусумматоров *HS* и логического элемента ИЛИ (рис. 5.15).

*Рk-1*

*Ak* HS S *Bk* P

*ck* HS *gk*

S *Sk* P 1 *Pk*

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | А В Р0 | SM | S  P1 |  |
|  |
|  |
|  |

Рис. 5.15 — Полный одноразрядный сумматор

В корпусе микросхемы К555ИМ6 четыре полных одно-разрядных сумматора объединены в схему четырехразрядного сумматора (рис. 5.16). Сигнал переноса последовательно пе-редается с выхода предыдущего разряда сумматора на вход переноса следующего разряда. В дальнейшем будем исполь-

72

зовать более простое и наглядное условное графическое обо-значение сумматора, приведенное справа. В дополнительных полях микросхемы показаны весовые коэффициенты разрядов входа и выхода сумматора.

|  |  |
| --- | --- |
|  | P0 SM S1 A1  B1 S2 A2  B2 S3 A3  B3 S4 A4  B4 P4 |
|  |
|  |
|  |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | 1  2  4  8 | SM | 1  2  4  8  16 |  |
|  |
|  |

Рис. 5.16 — Четырехразрядный последовательный сумматор К555ИМ6

Время выполнения операции в сумматоре на рис. 5.16 на-много больше времени сложения в одноразрядном сумматоре, так как в каждый следующий разряд единица переноса попада-ет, проходя все более длинную цепочку логических элементов. Чтобы уменьшить время выполнения операции сложения мно-горазрядных чисел, используют схемы параллельного перено-са. При этом сигналы переноса во всех разрядах одновременно вычисляются по значениям входных переменных в данном раз-ряде.

Для сигнала переноса из любого *k*-го разряда справедливо соотношение (см. обозначения на рис. 5.15)

*pk* *=* *akbk* *+* (*ak* ⊕*bk*)*pk–*1*,* (5.2)

*gk* *сk*

⇓

⇓

где *gk* *—*функция генерации переноса, *сk* — функция распростра-нения переноса.

Пользуясь рекуррентным выражением (5.2), можно вывести следующие формулы для вычисления сигналов переноса в четы-рехразрядном сумматоре:

73

*p*1 *=* *g*1 *+* *p*0*c*1*,*

*p*2 *=* *g*2 *+* *p*1*c*2 *=* *g*2 *+* *c*2*g*1 *+p*0*c*1*c*2*,*

*p*3 *=* *g*3*+* *p*2*c*3 *=* *g*3 *+* *c*3*g*2 *+* *c*2*c*3*g*1 *+* *p*0*c*1*c*2*c*3*,*

*p*4 *=* *g*4 *+* *p*3*c*4 *=* (*g*4 *+* *c*4*g*3 *+* *c*3*c*4*g*2 *+* *c*2*c*3*c*4*g*1) *+* *p*0(*c*1*c*2*c*3 *c*4)*.* ⇓

⇓

*G* *C*

Реализацию этих функций выполняет схема ускоренного переноса (см. блок-схему параллельного сумматора на рис. 5.17). Хотя полученные логические выражения достаточно сложны, время формирования сигнала переноса в любой разряд с помо-щью вспомогательных функций определяется временем задержки распространения сигнала в двух элементах.

*b*4 *a*4 *b*3 *a*3 *b*2 *a*2 *b*1 *a*1

SM *p*3 SM *p*2 SM *p*1 SM *p*0

|  |  |
| --- | --- |
| *s*4 *s*3 | *s*2 *s*1 |
| *g*4 *c*4 *p*3 *g*3 *c*3 *p*2 *g*2 *c*2 *p*1 *g*1 *c*1 *p*4 Схема ускоренного переноса *p*0 | |

*G* *C*

Рис. 5.17 — Четырехразрядный сумматор c параллельным переносом

Для построения 16-разрядного сумматора используется эта же схема ускоренного переноса, на которую подаются сигналы *G* и *С* от каждого четырехразрядного сумматора.

**5.9** **Двоично-десятичный** **сумматор**

Для сложения двух двоично-десятичных чисел можно ис-пользовать по одному четырехразрядному сумматору на каждую декаду. Однако после суммирования следует производить кор-рекцию. Если в какой-либо декаде происходит перенос или полу-чается двоичное число, большее 9, необходимо добавлять к ней 6, чтобы компенсировать разницу в весах разрядов. Возникающая при этом единица переноса передается в следующую по стар-шинству декаду (рис. 5.18).

74

|  |  |
| --- | --- |
|  | 1 |
|  |

|  |  |
| --- | --- |
|  | 1 |
|  |

*pi* *a*1

*b*1 *a*2

*b*2 *a*3

*b*3 *a*4

*b*4

|  |  |  |
| --- | --- | --- |
|  | 1 SM 1  2 2  4  4 8  8 16 |  |
|  |
|  |

|  |  |  |
| --- | --- | --- |
|  |  | & |
|  |
|  | |

|  |  |  |
| --- | --- | --- |
|  | 1 SM 1  2 2  4 4  8 8 |  |
|  |
|  |
|  |

1

*s*1

*s*2

*s*3

*s*4

*pi+1*

|  |  |
| --- | --- |
|  | & |
|  |

Рис. 5.18 — Двоично-десятичный сумматор на двоичных сумматорах

**5.10** **Схемы** **вычитания**

Вычитание двух чисел обычно сводится к операции сложе-ния:

*D* *=* *A* *–* *B* *=* *A* *+* (2*n* *–* *B*) *–* 2*n*, (5.3)

где 2*n* *–* *B* *=* *Â* *+* 1 — дополнение *В* до числа 2*n*, которое легко по-лучить без помощи специальных схем, использующих вычитание.

Таким образом, вычитание можно осуществить, инвертируя число *В*, суммируя полученный результат с *А* и еще с одной 1 и вычитая 2*n*. Вычитание 2*n* достигается весьма просто — путем инверсии сигнала переноса. Схема вычитания четырехразрядных чисел показана на рис. 5.19.

1

*b*1

*b*2

*b*3

*b*4

|  |  |  |
| --- | --- | --- |
| 1 *a*1 *a*2  *a*3  *a*4 | | 1 SM 1  2 2  4 4  8 8  16 |
| 1 |  |
|  |
|  | |

*d*1

*d*2

*d*3

*d*4

1 *V*

Рис. 5.19 — Схема вычитания четырехразрядных чисел

75

При *А* ≥*В* получаем *V* = 0 (в чем легко убедиться на кон-кретных численных примерах). При *A* < *B* получаем *V* = 1 и число *D* является дополнением *А* *–* *В* до 24 = 16. Выходной сиг-нал можно рассматривать как пятиразрядное число со знаком *V* в дополнительном коде.

На рис. 5.20 показано устройство, которое используется в цифровых следящих системах для выделения сигнала рассогла-сования между кодом задатчика *А* и кодом сигнала обратной связи *В*. Знак sign(*A* *–* *B*) определяет направление компенсирую-щего воздействия на регулирующий орган, а модуль разности (*А* *–* *В*) *R* (*r*0 *–* *r*7) — скорость этого воздействия. Наличие нулей во всех разрядах А соответствует одному крайнему значению регулируемой величины, а единиц – другому.

|  |  |  |  |
| --- | --- | --- | --- |
|  | | 8  4  2  1 | SM 16 8  4  2  1 |
|  | |
|  |  |
|  |

|  |  |
| --- | --- |
| =1  =1  =1  =1 |  |
|  |

|  |  |
| --- | --- |
|  | 1  1  1  1 |
|  |

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | | |  | 8  4  2  1 | SM 16 8  4  2  1 |
|  | 1  1  1  1 | *a*3 |
|  |
|  | *a*2 | |
| *a*1  *a*0 | |
|  |

1 *b*7 *a*7

*b*6 *a*6

*b*5 *a*5 *b*4 *a*4

*b*3

*b*2

*b*1

*b*0

|  |  |
| --- | --- |
|  | |
|  | =1  =1  =1  =1 |
|  |
|  |
|  | |

sign (*A* *–B*) *r*7

*r*6

*r*5

*r*4

*r*3

*r*2

*r*1

*r*0

Рис. 5.20 — Формирователь модуля и знака разности положительных двоичных чисел

При *А* > *B* появляется единица на выходе переноса сумматора, в знаковом разряде 0, а *R* *A**B*1 (здесь плюс – знак арифме-тического сложения). Элементы «Исключающее ИЛИ» работают как повторители выходных сигналов сумматора.

76

При *A* ≤*B* в старшем разряде сумматора 0 (читателю предла-гается проверить это на конкретном численном примере). Знак

равен 1, а *R* *A**B.* Элементы «Исключающее ИЛИ» работают как инверторы выходных сигналов сумматора.

Выходной сигнал устройства можно рассматривать как де-вятиразрядное двоичное число со знаком в прямом коде.

Обычный сумматор может использоваться для сложения чи-сел со знаком, представленных в дополнительном коде. На его выходе формируется дополнительный код суммы. При сложении, например, 8-разрядных двоичных чисел со знаком с помощью 8-разрядного сумматора (его можно построить на двух мик-росхемах К555ИМ6) получаем на выходе 8-разрядную сумму в дополнительном коде (перенос в 9-й разряд игнорируется). При этом разрядная сетка не должна переполняться, т. е. сумма моду-лей для чисел одинакового знака не должна превышать 127. Старший разряд восьмиразрядных слагаемых отображает знак числа (0 — для положительного, 1 — для отрицательного). Семь младших разрядов отображают модуль числа. Дополнительный код положительного числа соответствует его обычному пред-ставлению в двоичном коде. Для получения дополнительного ко-да отрицательного числа нужно проинвертировать код положи-тельного числа и прибавить единицу в младший разряд. Приве-денный ниже пример показывает, что при подаче на входы сум-матора дополнительных кодов чисел +100 и –16, на выходе по-лучим код числа +84.

01100100 11110000

101010100 = +84

девятый разряд игнорируется результат положительный

**5.11** **Преобразователь** **прямого** **кода** **в** **дополнительный**

Для преобразования в дополнительный код 8-разрядных чи-сел со знаком, представленных в прямом коде, используется изо-браженное на рис. 5.21 устройство. Для положительных чисел зна-

77

ковый разряд *х*7 *=* 0, элементы «Исключающее ИЛИ» и сумматор работают как повторитель числа *Х*. Для отрицательных чисел *х*7 *=* 1, семиразрядный модуль числа *Х* инвертируется, и к нему с помощью сумматора прибавляется 1. Такое же устройство исполь-зуется и как преобразователь дополнительного кода числа в пря-мой.

*x*7 *x*6 *x*5 *x*4

*x*3 *x*2 *x*1

*x*0

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | | | | | | 8 SM 8  4 4  2 2  1 1 |
|  | | | |  | |
|  |  | | |
|  | =1 =1 =1 |  |
|  |
|  |  | |
|  |  |  |
|  |
|  | | |  |
|  | |
|  | SM 16 8 8 4 4 2 2  1 1 |
|  | =1 |  |
|  |  |
| =1 =1  =1 |
|  |
|  |  | |
|  |  |
|  |
|  | | |  | |
|  | | | |

*знак* *y*7 *y*6 *y*5 *y*4

*y*3 *y*2 *y*1

*y*0

Рис. 5.21 — Преобразователь прямого кода 8-разрядного двоичного числа со знаком в дополнительный или дополнительного кода — в прямой

**5.12** **Цифровой** **компаратор**

***Цифровым*** ***компаратором*** называют устройство, фикси-рующее результат сравнения *n*-разрядных двоичных или двоично-десятичных кодов чисел (рис. 5.22, *а*). Цифровой компаратор можно построить на сумматоре, подавая на один суммирующий вход прямой код числа *А*, на другой — инверсный код числа *В* (рис. 5.22, *б*). На численном примере легко убедиться, что при *А* = *В* в четырех младших разрядах суммы формируются логиче-ские единицы, а при *A* > *B* единица формируется на выходе пе-реноса.

78

*n*

*n*

|  |  |
| --- | --- |
| А  B | = = А> A= A< |

*а*

*а*1 *b*1

*а*2 *b*2

*а*3 *b*3

*а*4 *b*4

1 SM 1 &

2 2 *A* *=* *B*

4 4 1 *A* *<* *B*

8 8

16 *A* *>* *B* *б*

Рис. 5.22 — Цифровой компаратор и его реализация на сумматоре

Компаратор, фиксирующий равнозначность кодов *А* и *В*, можно выполнить на ЛЭ по схеме, показанной на рис. 5.23, *а*. При совпадении кодов во всех разрядах формируются логические нули на выходах элементов «Исключающее ИЛИ» и логический элемент ИЛИ-НЕ формирует на выходе 1. Другой вариант по-строения схемы равнозначности кодов приведен на рис. 5.23, *б*.

*a*1 =1 *b*1

1

*a*1 =1 *b*1

&

*a*2 =1 *a*2 =1

*b*2 *A* = *B* *b*2 *A* = *B*

*a*3 =1 *a*3 =1 *b*3 *b*3

*a*4 =1 *a*4 =1

*b*4 *а* *b*4 *б*

Рис. 5.23 — Схемы равнозначности кодов

**5.13** **Контроль** **четности**

***Контроль*** ***четности*** (нечетности) используется для обна-ружения однократных ошибок при передаче данных по линиям связи (рис. 5.24). В передатчике к *n*-разрядному слову добавляет-ся контрольный разряд (бит паритета) с таким значением (0 или 1),

79

чтобы сумма единиц в (*n* *+* 1)-разрядном сообщении была бы чет-ной. В приемнике производится контроль на четность. Если чис-ло единиц в принятом слове нечетно, фиксируется ошибка при передаче данных.

Последовательная

посылка D7’- D0’ 9

I

|  |  |  |  |
| --- | --- | --- | --- |
| D7-D | 0 | | |
|  | | Пе |
| М2 I  P | |  |
|  | |

8 8

редатчик Приемник М2

0 — разре-шение

P приема;

Рис. 5.24 — Передача данных с проверкой на четность

Для контроля восьмиразрядного сообщения можно исполь-зовать микросхему К555ИП5 — сумматор по модулю два. Он со-держит внутри восемь логических элементов «Исключающее ИЛИ». В передатчике 9-разрядное сообщение преобразуется в последовательный код (это преобразование можно выполнить с помощью регистра сдвига), передается по одному каналу связи, а затем на стороне приемника подвергается обратному преобразо-ванию в параллельный код. Если число единиц в принятом сооб-щении четно, логический 0 на выходе К555ИП5 разрешает прием сообщения *D*7*’-D*0*’*. В противном случае на выходе сумматора по модулю два формируется логическая 1и прием сообщения за-прещается. Функциональная схема и логическая структура мик-росхемы К555ИП5 приведены на рис. 5.25.

|  |  |
| --- | --- |
|  | 0 М2 1  2 3 4 5 6 7 Р |
|  |
|  |
|  |

0 1 2 3 4 5 6 7

|  |  |  |
| --- | --- | --- |
|  | =1  =1 |  |
|  |
|  |
| =1  =1 |

=1

=1

=1

Р

|  |  |
| --- | --- |
|  | =1 |
|  |

Рис. 5.25 — Сумматор по модулю 2

80

**5.14** **Примеры** **построения** **комбинационных** **цифровых** **устройств**

***Пример*** ***5.1.*** Построить коммутатор цифровых сигналов с 256 входных каналов на один выходной.

*Решение.* Схема коммутатора приведена на рис. 5.26.

16 *х*0 *–* *х*15 /

16 *х*240 *–* *х*255 /

4 *а*0 *–а*3 /

4

*а*4 *–* *а*7 /

*DD*1 *–* *DD*16

0 MS

|  |  |  |
| --- | --- | --- |
|  | 0 ...  15  1 2 4 8 | MS |
| E |
|  |

*DD*17

0 MS ...

15

1 *Y* 2

4 8

*Z* E

Рис. 5.26 — Коммутатор цифровых сигналов

Для коммутации 256 информационных сигналов *х*0 *–* *х*255 тре-буется восьмиразрядная шина адреса *а*0 *–* *а*7. Устройство пред-ставляет собой многоканальный мультиплексор. Выходной сиг-нал *Y* повторяет информацию того входа *хi*, адрес которого по-дан на входы *а*0 *–* *а*7.

Максимальное число каналов, коммутируемое одной микро-схемой (например, К155КП1 или К555КП1), равно 16. Для по-строения устройства требуется 17 корпусов таких микросхем. Младший полубайт адреса канала подается на объединенные ад-ресные входы микросхем *DD*1*–DD*16*.* На управляющий вход Е

81

этих микросхем подан разрешающий уровень логического нуля. Вторую ступень коммутатора образует мультиплексор *DD*17, на адресные входы которого подается старший полубайт адреса коммутируемого канала. При *Z* *=* 1 все каналы закрыты. При *Z* *=* 0, дважды инвертируясь, на выход проходит сигнал того канала, адрес которого зафиксирован на адресных входах *а*0 *–* *а*7.

***Пример*** ***5.2*.** Спроектировать сигнальное устройство, зажи-гающее светодиод, если сработали любые 7 из 9 датчиков. При срабатывании датчик формирует на выходе логическую 1, иначе на выходе датчика логический 0.

*Решение.* Просуммируем число сработавших датчиков с по-мощью сумматоров (рис. 5.27, подключив датчики 1–9 к их вхо-дам с весом 1.

+5 В

1 2 3

4 5 6

*DD*1

7

|  |  |
| --- | --- |
| 1 SM | 1  2 |

1 SM 1

2

*DD*2

1 SM 1

2

2 4

8 9

1

2

4

8

*DD*3 330

SM

1

2 &

4 *DD*4

8

Рис. 5.27 — Сигнальное устройство

Логический элемент И-НЕ на выходе устройства формирует логический нуль, необходимый для того, чтобы светодиод заго-релся, только при суммарном количестве сработавших датчиков, равном семи. В устройстве можно задействовать микросхемы К555ИМ5 (*DD*1), К555ИМ2 (*DD*2), К555ИМ6 (*DD*3), К555ЛА4 (*DD*4). Резистор задает рабочий ток светодиода порядка 10 мА.

82

***Пример*** ***5.3.*** На микросхемах средней степени интеграции создать устройство, обеспечивающее передачу цифровых сооб-щений от 32 абонентов на передающей стороне такому же числу абонентов на приемной стороне.

Установим на передающей стороне четыре мультиплексора 8 →1, выходы которых объединим с помощью четырехвходового мультиплексора (рис. 5.28). Выбор источника информации на восьмивходовых мультиплексорах будем вести с помощью трех младших бит адресов А2-А1-А0. Выбор группы источников (выбор мультиплексора ) будем производить с помощью двух старших бит адресов А4, А3, подаваемых на выходной мультиплексор.

3

3







2

1

2

1

2

1

2

D1 – D8 MS Di

A0-A2 Ai DC D1-D8

A1 1

A2 4 1

D9 – D16 МS Di

1

Линия A0-A2 связи

E

CS 1

DC

Ai D9-D16

A0

A1

A2 4 2

D17–D24 MS Di

A0 A1

A2 4 3

1

2

4

A3 A4

MS 2 Di

A0-A2

1

2

3

A0-A2

E

CS 2

DC

Ai D17-D24

E

CS 3

DC

Ai D25-D32

D25–D32 MS

Di 4

E

CS 4

A0 A0

A1 A1

A2 A2 4 A3

A4

A3 1 DC 4 A4 2

A0-A4

1

2

4

Рис. 5.28 – Структурная схема передачи цифровых сообщений по одной линии связи

83

На приемной стороне установим четыре восьмивходовых демультиплексора, управляющие входы E которых соединим с передающей стороной. Выбор дешифратора-демультиплексора производим с помощью двух старших бит адресов А4, А3 прием-ной стороны. Эти адреса подаются на дополнительный дешифра-

тор 2:4, выходные сигналы которого поступают на входы *CS* (выбор микросхемы) основных дешифраторов. Выбор источника информации осуществляется младшими битами адресов А2-А1-А0 приемника.

84

**6** **ЦИФРОВЫЕ** **УСТРОЙСТВА** **ПОСЛЕДОВАТЕЛЬНОСТНОГО** **ТИПА**

**6.1** **Классификация** **триггеров**

Триггером называется устройство, имеющее два устойчивых состояния и сохраняющее любое из них сколь угодно долго после снятия внешнего воздействия, вызвавшего переход триггера из одного состояния в другое. Поэтому говорят, что триггер облада-ет памятью. Триггер можно представить в общем случае состоя-щим из ячейки памяти и устройства управления (порой весьма сложного), преобразующего входную информацию в комбина-цию сигналов, под воздействием которых ячейка памяти прини-мает одно из двух устойчивых состояний.

По способу записи информации триггеры могут быть ***асин-хронными*** и ***синхронными***. Триггер называют асинхронным, если сам сигнал, несущий информацию, вызывает его переключение. В синхронных (тактируемых) триггерах информация записывается при одновременном воздействии информационного сигнала и синхронизирующего (разрешающего) импульса. Синхронизация может осуществляться импульсом (потенциалом) или перепадом потенциала (фронтом или срезом импульса). В первом случае (***статическое*** ***управление***) сигналы на информационных входах оказывают влияние на состояние триггера в течение всего времени наличия синхроимпульса. Во втором случае (***динамическое*** ***управление***) воздействие информационных сигналов проявляется только в моменты изменения потенциала на входе синхронизации, т. е. при переходе его от 0 к 1 (фронт) или от 1 к 0 (срез).

По функциональному признаку различают ***RS****-*триггеры, ***D****-*триггеры, ***Т****-*триггеры и ***JK****-*триггеры, а также их комбинации.

Основу любого триггерного устройства составляет элемен-тарная ячейка памяти на двух инверторах с кольцом положитель-ной обратной связи, называемая защелкой (рис. 6.1).

При подаче питания ЛЭ не могут находиться в активной об-ласти передаточной характеристики, так как петлевое усиление много больше единицы, и ячейка переходит в одно из двух устой-

чивых состояний с инверсными уровнями на выходах *Q* и *Q*. Это состояние ячейка будет хранить, пока включен источник питания.

85

1 *Q* *R*

|  |  |
| --- | --- |
|  | 1 |
|  |

*Q* *S*

|  |  |
| --- | --- |
|  |  |
|  |

*Q*

1 *Q* *S* *Q* *R* *Q* *а* *б*

|  |  |
| --- | --- |
|  | 1 |
|  |

|  |  |
| --- | --- |
|  |  |
|  |

Рис. 6.1 — Элементарная ячейка памяти

Рис. 6.2 — Асинхронный *RS*-триггер

с прямым (*а*) и инверсным (*б*) управлением

**6.2** **Асинхронный** **RS-триггер**

В ***асинхронном*** (нетактируемом) ***RS-триггере*** (рис. 6.2, *а*), выполненном на логических элементах ИЛИ-НЕ, состояниями описанной выше ячейки памяти можно управлять, подавая логи-ческую 1 либо на вход *S* (Set) установки в состояние *Q* = 1, либо на вход *R* (Reset) сброса в состояние *Q* = 0. Если одновременно подать, а затем снять логическую 1 с обоих входов, то состояние триггера после снятия входных сигналов будет неопределенным. Такая комбинация на входах триггера является запрещенной. Минимальная длительность установочных импульсов должна вдвое превышать время задержки примененных логических эле-ментов, чтобы по петле положительной обратной связи пришло подтверждение о фиксации нового состояния триггера.

Аналогичным образом работает ***асинхронный*** ***RS-триггер*** ***с*** ***инверсным*** ***управлением*** (рис. 6.2, *б*), выполненный на логиче-ских элементах И-НЕ. Установка триггера в единичное и нулевое состояние на выходе *Q* осуществляется подачей логического нуля

на входы *S* или *R*. При единичных уровнях на обоих входах триг-гер не меняет своего состояния (находится в режиме хранения).

**6.3** **Тактируемый** **RS-триггер**

***Тактируемый*** (***синхронный***) ***RS-триггер*** (рис. 6.3) может изменить свое состояние только с приходом тактового импульса на вход *С*. Помехи, действующие на информационных входах *R* и *S* между тактовыми импульсами, не влияют на работу триггера.

86

Запрещенным является состояние *CRS* *=* 1*.* При включении пита-ния состояние триггера остается неопределенным. После совпа-дения единичных уровней на входах *S* и *C* триггер устанавлива-ется в единичное состояние. При совпадения логических единиц на входах *R* и *С* триггер сбрасывается в нулевое состояние.

*S* & & *Q* S T *C* C

*R* & & *Q* R

*a* *б*

*C* *Q* *S* *Q* *R*

*Q*

*в*

*t* *t* *t*

*t*

Рис. 6.3 — Тактируемый *RS*-триггер: *а* — построение триггера на логических элементах И-НЕ; *б* — обозначение триггера на функциональных схемах; *в* — временные диаграммы, поясняющие работу триггера

**6.4** **D-триггеры**

***D-триггер*** (от английского Delay — задержка) имеет один информационный (*D* *—* Data — данные) и один тактируемый (*С* *—* Clock — тактовая последовательность) входы. Такой триггер можно получить из *RS*-триггера, подав на *R*-вход инвертированный сигнал с *S*-входа (рис. 6.4, *а*). Условное обозначение *D*-триггера со статическим управлением показано на рис. 6.4, *б*. Из временных диаграмм, приведенных на рис. 6.4, *в* можно увидеть, что при *С* *=* 1 триггер работает как повторитель (*Q* *=* *D*), а при переходе сигнала на входе *С* от логической единицы к логическому нулю триггер запирается и переходит в режим хранения (защелкивает информацию со входа *D*). В отличие от *RS*-триггера, *D*-триггер

*D*

*C* 1

|  |  |
| --- | --- |
| S C | T |

*а*

*C* *Q* D T *D*

C

*Q* *Q*

*б* *в*

*t*

*t*

*t*

Рис. 6.4 — *D-*триггер со статическим управлением

87

не имеет запрещенного состояния.

Статический синхронный триггер реагирует на входные сигналы в течение всего времени, пока тактовый сигнал *С* равен единице. Часто, однако, требуется триггер, в котором считываемая информация не передавалась бы непосредственно на выход, а по-являлась там только тогда, когда все схемы уже заперты. Этим свойством обладают триггеры с динамическим управлением.

***D-триггер*** ***с*** ***динамическим*** ***управлением***, тактируемый фронтом тактового импульса, можно выполнить по двухступен-чатой схеме, показанной на рис. 6.5, *а*. При *С* *=* 0 триггер первой ступени повторяет сигнал *D*, но триггер второй ступени защелк-нут (находится в режиме хранения). При переходе к *С* *=* 1 пер-вый триггер защелкивает на своем выходе информацию со входа *D*, а второй повторяет ее на своем выходе. Таким образом, двух-ступенчатый триггер по фронту тактового импульса защелкивает на своем выходе уровень сигнала с входа *D* и сохраняет его до следующего фронта. Триггеры с динамическим управлением не-обходимы для построения счетчиков и регистров сдвига. Из двух вариантов УГО динамического входа, приведенных на рис. 6.5, *б* и *в*, в дальнейшем будем использовать вариант *б*, меняя направле-ние косой черты для обозначения входа при тактировании по сре-зу импульса.

*D*

*C*

D T D T *Q* D T C C C

|  |  |  |
| --- | --- | --- |
|  | D T C |  |
|  |  |

*а* *б* *в* Рис. 6.5 — Триггер задержки с динамическим управлением

**6.5** **T-триггер**

***Т-триггер*** (от английского toggle — опрокидываться, ку-выркаться). Он имеет только тактовый вход *Т* и меняет свое со-стояние на противоположное по фронту или срезу каждого ново-го тактового импульса (рис. 6.6). На рисунке показано УГО *Т*-триггера и как можно выполнить *Т*-триггер на базе *RS-*или *D-*триггеров с динамическим управлением. Каждый раз по

88

фронту сигнала *Т* изменяется уровень напряжения на выходе *Q.* Частота изменения потенциала на выходе *Т-*триггера в два раза меньше частоты импульсов на его тактовом входе. Это свойство *Т*-триггера используется при построении двоичных счетчиков, а *Т*-триггер называют также счетным триггером.

*T*

|  |  |  |
| --- | --- | --- |
|  | D T C |  |
|  |  |

*Q*

*T*

|  |  |
| --- | --- |
|  | S T C  R |
|  |

*Q*

|  |  |
| --- | --- |
|  | T T |
|  |

*Т* *t*

*Q* *t*

Рис. 6.6 — Cчетный триггер и временные диаграммы его работы

**6.6** **JK-триггер**

***JK-триггер*** выполняет наиболее универсальные функции (*J* — jerk — резкое движение, толчок; *K* — kill — ликвидиро-вать). Он строится на базе *RS-*триггера с динамическим тактовым входом (рис. 6.7), но, в отличие от него, в *JK*-триггере устранено запрещенное состояние при *J* = *K* = 1. При совпадении логиче-ских единиц на информационных входах *J* и *K* он работает как счетный (режим переключения), т. е. меняет свое состояние на противоположное при каждом новом такте. Логическая 1 на вхо-де *J* устанавливает триггер в состояние единицы (режим записи 1, установка), логическая 1 на входе *К* переводит триггер в состоя-ние логического нуля (режим записи 0, сброс) при наличии так-

|  |  |
| --- | --- |
| J T C  K |  |
|  |

& S T C

& R

*C* *t* *J* *t* *K* *t*

*Q* *t*

Рис. 6.7 — *JK*-триггер

89

тирования. При наличии логических нулей на входах *J* и *К* такто-вый импульс не меняет состояния триггера (режим хранения).

Работу триггеров можно описать таблицей состояний и функциями переходов (рис. 6.8). Функции переходов синхронных триггеров описывают состояние триггера *Q*+ после прихода оче-редного тактового импульса (его фронта или среза) как логиче-скую функцию входных сигналов и исходного состояния тригге-ра *Q* до прихода тактового импульса.

|  |  |
| --- | --- |
| *S(J)* *R(K)*  0 0 0 1 1 0 1 1 | *Q***+** |
| *RS* *JK* *Q* *Q* 0 0 1 1 x *Q* |

*Q***+** *=* *D* — для *D*-триггера;

*Q***+** = *QJ* *QK* — для *JK*-триггера; *Q***+** = *Q* ⊕*T* — для *Т-*триггера;

*Q***+** = *S* *QR,* *RS* = 0 — для *RS*-триггера.

Рис. 6.8 — Таблица состояний *RS-* и *JK-*триггеров и функции переходов триггеров

Примеры микросхем триггеров приведены на рис. 6.9.

К555ТМ2

|  |  |
| --- | --- |
| S D C R  S | T  T |
| D C |
| R |

К555ТВ6

|  |  |  |
| --- | --- | --- |
| J C K R  J C K R | T  T |  |
|  |

К555ТР2

|  |  |  |  |
| --- | --- | --- | --- |
|  | 1 T  S  R  S T R | |  |
|  |
|  |
| 1 S | T  T |
| R  S R |
|  |

Рис. 6.9 — Интегральные микросхемы триггеров

Наряду с тактируемыми, микросхемы К555ТМ2 и К555ТВ6 имеют дополнительные входы для предварительной установки в единичное или нулевое состояние (комбинированные триггеры).

90

При этом входы установки *R* и *S* являются асинхронными (при-оритетными). Предельная частота функционирования триггеров К555ТМ2 составляет 25 МГц, К555ТВ6 — 30 МГц. Микросхема К555ТР2 содержит четыре асинхронных *RS*-триггера, причем два из них имеют по два объединенных логикой ИЛИ входа *S* (подача логического 0 на любой из них устанавливает триггер в единичное состояние).

**6.7** **Классификация** **счетчиков**

Цифровое устройство, циклически меняющее свои состояния под действием импульсов, подаваемых на один вход, называется счетчиком. Количество тактов, через которое повторяется исход-ное состояние счетчика, называют коэффициентом пересчета (мо-дулем счета) *К*сч. Счетчики строят из цепочек триггеров с динами-ческим управлением.

По коэффициенту пересчета различают счетчики двоичные (*К*сч *=* 2*n*, где *n* *—* разрядность счетчика), десятичные (*К*сч *=* 10*n*, где *n* — количество декад счетчика), с произвольным постоянным *К*сч, с изменяемым *К*сч (программируемые).

По направлению счета счетчики делятся на суммирующие, вычитающие, реверсивные.

По способу организации внутренних связей между тригге-рами счетчики могут быть асинхронными (с последовательным переносом) и синхронными (с параллельным переносом). Син-хронные счетчики обладают бóльшим быстродействием.

**6.8** **Асинхронный** **двоичный** **счетчик**

***Асинхронные*** двоичные счетчики строят из цепочки счет-ных триггеров, соединяя выход предыдущего с входом после-дующего. Такой счетчик реализован на микросхеме К155ИЕ5 (рис. 6.10).

При совпадении логических единиц на выводах 2 и 3 счет-ные триггеры сбрасываются в нулевое состояние. При замыкании выводов 1 и 12 получаем четырехразрядный двоичный счетчик. Частота счетных импульсов последовательно уменьшается в два

91

раза каждым триггером. При этом счетчик проходит 16 состоя-ний (с 0 по 15), каждому из которых соответствует четырехраз-рядный код на выходах с весовыми коэффициентами 8, 4, 2, 1.

14 12 1

T T

R

9

|  |  |
| --- | --- |
|  | T T  R |
|  |

T T

R

8 11

|  |  |  |
| --- | --- | --- |
|  | | |
|  | T T  R |  |
|  |  |

К155ИЕ5

14 C1 CT2 1 12 1 C2 2 9 2 & 4 8 3 R 8 11

2

3 &

Рис. 6.10 — Асинхронный двоичный счетчик К155ИЕ5

**6.9** **Асинхронный** **двоично-десятичный** **счетчик**

Микросхема К155ИЕ2 состоит из счетного триггера (вход — *С*1, выход — *Q*1) и счетчика с коэффициентом пересчета *К*сч = 5 (вход — *С*2, выходы — *Q*2*,* *Q*3*,* *Q*4). Еслиихсоединитьмеждусобойтак, какэто показано на рис. 6.11, *а*, то получится двоично-десятичный счетчик, временные диаграммы работы которого приведены на рис. 6.11, *б*. При поступлении десятого импульса (по его срезу) кодовая ком-бинация *Q*4 *Q*3 *Q*2 *Q*1 = 1001 сменяется комбинацией 0000, и далее цикл из десяти состояний счетчика (с 0 по 9) периодически по-вторяется. При совпадении логических единиц на входах *R* счет-чик устанавливается в состояние «0», при совпадении логических единиц на входах *S*9 *—* в состояние «9».

*T*

|  |  |  |
| --- | --- | --- |
| 14 1 | C1 CT10  C2 1 & 2 R 4 & 8 S9 | 12 |
| 2 3 6  7 | 9 8 11 |

*T* *Q*1

*Q*2 *Q*1 *Q*3

*Q*4 *Q*2

*Q*3

*t*

*t*

*t*

*t*

*а* *б* *Q*4 *t* Рис. 6.11 — Асинхронный двоично-десятичный счетчик

92

**6.10** **Синхронный** **двоичный** **счетчик**

В ***синхронном*** двоичном счетчике (рис. 6.12) счетный им-пульс *Т* воздействует сразу на все триггеры. Первый триггер ра-ботает как счетный. Каждый последующий меняет свое состоя-ние на противоположное, когда все предыдущие находятся в еди-ничном состоянии. Устройство реализует алгоритм работы сум-мирующего двоичного счетчика с *К*сч = 16.

& &

1 J T K

C

*Q*1

J T K

C

*Q*2

J T K

C

*Q*3

|  |  |  |
| --- | --- | --- |
|  | J K C | T |
|  |

*Q*4

*Т*

Рис. 6.12 — Четырехразрядный синхронный двоичный счетчик

**6.11** **Реверсивные** **счетчики**

***Реверсивные*** ***счетчики*** обладают универсальными возмож-ностями. На рис. 6.13 показаны ИМС синхронных реверсивных десятичного (К555ИЕ6) и двоичного (К555ИЕ7) счетчиков. Уровнем логического нуля на входе *L* в счетчик записывается че-тырехразрядный код со входов предустановки 1, 2, 4, 8 (парал-лельная загрузка). Эта возможность позволяет строить на таких микросхемах счетчики и делители частоты с изменяемым *К*сч. Уровнем логической единицы на входе *R* счетчик сбрасывается в

К155ИЕ6 К155ИЕ7

|  |  |  |  |
| --- | --- | --- | --- |
|  | 1 2 4 8 L  R +1  -1 | CT10 1 2 4 8  ≥9 ≤0 |  |
|  |
|  |
|  |

|  |  |  |
| --- | --- | --- |
| 1 CT2 2  4 8 L  R +1  -1 | 1 2 4 8  ≥15 ≤0 |  |
|  |
|  |
|  |

Рис. 6.13 — Реверсивные счетчики

93

нулевое состояние. Вход *R* имеет приоритет по отношению ко входу *L*. При подаче импульсов на суммирующий вход +1 на вы-читающем –1 должен быть высокий уровень, и наоборот.

**6.12** **Счетчики** **с** **произвольным** **модулем** **счета**

***Счетчики*** ***с*** ***произвольным*** ***модулем*** ***счета*** ***К*сч** строятся на основе микросхем двоичных и двоично-десятичных счетчиков. Одним из способов получения произвольного значения модуля счета является использование цепи обратной связи, сбрасываю-щей его в нулевое состояние, как только суммирующий счетчик переходит в состояние, равное *К*сч. Так построен, например, дели-тель частоты в 14 раз (рис. 6.14). Как только счетчик переходит в 14-е состояние (совпадают логические 1 на входах трехвходо-вого элемента 3И-НЕ), в единичное состояние устанавливается *RS-*триггер, который сбрасывает счетчик в нулевое состояние. Единичный уровень следующего счетного импульса сбрасывает *RS-*триггер в нуль.

Вход C1 CT2 1 C2 2 &R 4

8

*U*вх *t* *U*вых *t*

& Выход &

1 &

Рис. 6.14 — Делитель частоты на 14

*Другой* *вариант* *счетчика* (например, с коэффициентом пе-ресчета *К*сч = 147), показанный на рис. 6.15, организован на осно-ве восьмиразрядного двоичного счетчика (*К*сч = 256), который до-полнен цепью сброса. Когда счетчик переходит в состояние 147 = 10010011В (совпадают логические 1 на входах элементов И*,* подключенных к выходам счетчика с весовыми коэффициентами 128, 16, 2 и 1), происходит его сброс, в результате его состояния циклически повторяются через каждые 147 входных тактов.

94

|  |  |
| --- | --- |
|  | C1 CT2 1 C2 2 &R 4 8 |
|  |

*f*

*Т*

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | | C1 C2 | CT2 1 2 4 8 | & | | & |
|  |  |
| &R |
|  |  |
|  |  |
|  | | | |
|  | | | |  | |

Рис. 6.15 — Организация счетчика с произвольным коэффициентом пересчета

***ИМС*** ***программируемых*** ***делителей*** ***частоты*** (счетчиков с переменным коэффициентом деления)*.* Существует ряд ИМС счетчиков с переменным (программируемым) коэффициентом деления, например К155ИЕ8, 564ИЕ15.

ИМС К155ИЕ8 может быть названа преобразователем «код — частота». Ее УГО и функции выводов показаны на рис. 6.16. Эта микросхема содержит шестиразрядный двоичный счетчик и про-граммируемое логическое устройство, уменьшающее частоту вы-ходной последовательности *f*вых по сравнению со входной *f*вх. Из входной последовательности в 64 импульса, поступающей на счет-ный вход *С*, на выход проходит *N* импульсов, где *N* — десятичное число, шестиразрядный двоичный код которого подается на управ-ляющие входы микросхемы с метками 32, 16, 8, 4, 2, 1. Выходная частота связана с входной соотношением *f*вых *=* *f*вх*·* *N* / 64. Та-ким образом, частота импульсов на выходе микросхемы пропор-

*f*вх



|  |  |
| --- | --- |
|  | E CT ≥63 R  C S V  Q 32  16 8 4 2 1 |
|  |
|  |
|  |
|  |

Назначение выводов ИМС:

Е — разрешение счета (стробирование); R — сброс счетчика с остановкой деле-ния;

С — счетный вход;

S — остановка деления;

вых V — вход наращивания;

≥63 — выход переноса (нулевой сигнал на этом выходе формируется, когда счет-чик находится в 63-м состоянии);

32, 16, 8, 4, 2, 1 — разряды управляющего кода *N*.

Рис. 6.16 — Программируемый счетчик ИМС К155ИЕ8

95

циональна значению управляющего кода *N*. Надо только учиты-вать, что если *N* не равно степени числа 2, то импульсы в выход-ной последовательности расположены неравномерно.

В таблице 6.1 приведены номера импульсов (из входной по-следовательности в 64 импульса), которые проходят на выход при логической единице на соответствующем управляющем вхо-де. При произвольном коде *N* на выход проходят импульсы, соот-ветствующие логическим единицам во всех разрядах числа *N*.

Таблица 6.1 — **Таблица** **функционирования** **микросхемы** **К155ИЕ8**

|  |  |
| --- | --- |
| Метка управляющего входа | Номера импульсов, проходящих на выход |
| 1 2 4 8 16 32 | 32 16, 48  8, 24, 40, 56  4, 12, 20, 28, 36, 44, 52, 60  2, 6, 10, 14, 18, 22, 26, 30, 34, 38, 42, ...  1, 3, 5, 7, 9, 11, 13, 15, 17, 19, 21, 23, 25, 27, ... |

Другой способ построения счетчиков с произвольным моду-лем счета реализован в программируемом делителе частоты, представленном на рис. 6.17.

На лимбах программных переключателей *SA*1, *SA*2 набира-ется число *N=AB* (*A* — десятки, *В* *—* единицы). На выходах пере-ключателей формируется инверсный двоично-десятичный код цифр *А* и *В*. Инверторы *DD*1, *DD*3 подают на входы предвари-тельной установки счетчиков *DD*2, *DD*4 прямой двоично-десятичный код числа *N*. Счетчики работают в режиме вычита-ния (обратного счета). Когда счетчики находятся в нулевом со-стоянии и приходит счетный импульс, по его фронту *D*-триггер формирует логический нуль на выходе и в счетчик загружается число *N*, которое в течение следующих *N* тактов считывается до нуля. Число состояний счетчика равно *N* +1. Таким образом, *f*вых = *f*вх/(*N* +1), т. е. на программном переключателе надо наби-рать число, на единицу меньшее требуемого коэффициента деле-ния частоты. Длительность выходного импульса (активный уро-вень — нулевой) равна периоду входных импульсов.

96

*SA*1 *DD*1 *DD*2 *SA*2 *DD*3 *DD*4

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| \_/ \_  B |  | 1  1  1  1 | |  | 1  2  4  8  L R  −1 | СТ10  ≤0 |
|  |
|  |
|  |
| Вход | | |  | |
|  | |

\_/ \_

А

|  |
| --- |
| 1 |
| 1  1 |
| 1 |

|  |  |
| --- | --- |
|  | 1 СТ10  2  4  8  L R  −1 ≤0 |
|  |

|  |  |
| --- | --- |
|  | D T  C |
|  |

Рис. 6.17 — Программируемый делитель частоты

Выход

**6.13** **Регистры** **сдвига**

Регистры представляют собой цепочки триггеров и предна-значены для записи, хранения, сдвига и считывания из них дво-ичной информации (полубайта, байта и т. д.).

Различают регистры сдвиговые (со сдвигом вправо, влево и реверсивные), с параллельной загрузкой, универсальные, кольце-вые и файловые.

***Регистры*** ***сдвига*** строятся на *D-*триггерах с динамическим управлением. Тактовые входы объединяются, вход *D* первого триггера служит для приема информации, а входы *D* последую-щих подключаются к прямым выходам предыдущих (рис. 6.18).

*D*

*C*

*DO*0 *DO*1 *DO*2 *DO*3

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| D C | T |  | D C | T |  | D C | T |  | D C | T |  |
|  |  |  |  |

*а*

|  |  |
| --- | --- |
| D  C | RG  DO |

*б*

4

Рис. 6.18 — Построение регистра сдвига на *D-*триггерах (*а*) и его УГО (*б*)

97

За четыре такта *C* (четыре синхроимпульса) последователь-ную информацию со входа *D* можно преобразовать в параллельную на выходах *DO*0 –*DO*3*.*

**6.14** **Регистры** **памяти**

***Регистры*** ***с*** ***параллельной*** ***загрузкой*** также чаще строят на *D-*триггерах, объединяя их тактовые входы. Микросхемы регист-ров памяти могут тактироваться потенциалом (К580ИР82) или фронтом (К555ИР27) тактового импульса (рис. 6.19). Обязатель-ным условием при записи данных в регистр является их фиксация до поступления такта. Хранимые данные с выхода первой микро-

схемы читаются при логическом нуле на входе OE (разрешение

выхода). При логической единице на входе OE выходы микро-схемы находятся в высокоимпедансном состоянии. Запись ин-формации во вторую микросхему происходит по фронту тактово-

го импульса только при логическом нуле на входе L (Load — раз-

решение загрузки). При L = 1 имеет место режим хранения дан-ных в регистре.

К580ИР82 К555ИР27

8

|  |  |
| --- | --- |
| DI С OE | RG  DO |

8

8

DI RG

C DO L

8

Рис. 6.19 — Микросхемы параллельных регистров

**6.15** **Универсальные** **регистры**

Микросхема К155ИР13 (рис. 6.20) является примером уни-версального регистра. Режим ее работы задается уровнями сигна-лов на входах *SR* и *SL* (см. таблицу состояний регистра). При сдви-ге вправо сигнал со входа *DR* переписывается в младший разряд *DO*0 по фронту каждого тактового импульса, а старая информация выхода *DO*7 теряется. При сдвиге влево информация с входа *DL* записывается на выход *DO*7, а информация с выхода *DO*0 теряет-ся. При *SL* *=* *SR* *=* 1 микросхема работает как параллельный ре-

98

гистр, запись информации в который с входов *DI* происходит по

фронту тактового импульса. При подаче 0 на вход *R* все тригге-ры регистра сбрасываются в нулевое состояние.

К155ИР13

8

DR RG DL

SR

SL DO DI

R C

8

|  |  |  |
| --- | --- | --- |
| SL | SR | Режим |
| 0 0 1 1 | 0 1 0 1 | Хранение Сдвиг вправо Сдвиг влево Запись со  входов *DI* |

Рис. 6.20 — Универсальный регистр

**6.16** **Кольцевой** **регистр**

Иногда желательно осуществлять многократный последова-тельный вывод информации (регенерацию) из регистра без ее стирания. Для этого необходимо снова ввести данные с помощью обратной связи. Пример схемы кольцевого регистра, который предоставляет такую возможность, показан на рис. 6.21.

*D*вх & RG

→

*U* 1 & 1 DR

*C* C

Q1 Q2 ...

Qn *D*вых

Рис. 6.21 — Кольцевой регистр

До тех пор пока на управляющем входе *U* поддерживается уровень логической 1, *DR* *=* *D*вх, обратная связь не действует. За первые *n* тактов запоминается *n*-разрядный входной код *D*вх. Если теперь подать *U* *=* 0, то *DR* *=* *Qn* и выведенный из регистра код по-разрядно поступает на вход. После *n* тактовых импульсов регистр сдвига опять находится в исходном состоянии. Следовательно,

99

логическое состояние на входе управления определяет, вводится ли новая информация или в регистре циркулирует старая.

Помимо основного назначения, регистры имеют другие мно-гочисленные применения. Рассмотрим только некоторые из них.

**6.17** **Кольцевой** **счетчик**

На регистрах сдвига реализуются самые разнообразные счет-чики. Простейшим из них является кольцевой счетчик (рис. 6.22). Элемент 4ИЛИ-НЕ разрешает запись информации в первый триг-гер регистра только тогда, когда все триггеры находятся в нулевом состоянии. Эта кодовая 1 и перемещается по кольцу (выходы 1, 2, 3, 4, 5). Данное устройство представляет собой синхронный счет-чик с *К*сч = 5 и выполняет функции распределителя уровня логиче-ской единицы по пяти каналам. Его можно использовать для по-следовательного включения во времени пяти объектов управления.

G

|  |  |  |
| --- | --- | --- |
| DR RG 1 2 3  C 4 |  | 1 |
|  |
|  |

5

G 1 2 3 4 5

Рис. 6.22 — Кольцевой счетчик

**6.18** **Счетчики** **на** **регистрах** **сдвига**

***Счетчик*** ***Джонсона****.* Проанализируем работу другого счет-чика на регистре сдвига (вариант счетчика Джонсона), в котором используется перекрестная обратная связь (рис. 6.23).

Исследуемое устройство представляет собой синхронный счетчик на регистре сдвига, построенном на трех *JK-*триггерах. Состояние первого триггера после подачи очередного среза счет-ных импульсов генератора *G* зависит от сигналов обратной свя-зи, поступающих на его информационные входы *J* и *K* с выходов *Q*2 и *Q*3. Триггер *Т*2 повторяет состояние триггера *Т*1 на предыду-щем такте, а триггер *Т*3 — состояние триггера *Т*2.

100

*T*1 *Q*1 *T*2 *Q*2 *T*3 *Q*3

|  |  |
| --- | --- |
|  | J T  C  K |
|  |

J T

C

K

|  |  |
| --- | --- |
| G |  |
|  |

|  |  |  |
| --- | --- | --- |
|  |  |  |
| J T  C  K |
|  | |

Рис. 6.23 — Вариант счетчика на регистре сдвига

Анализ работы удобно устройства провести с помощью таб-лицы состояний, предположив, что первоначально триггеры были сброшены в нулевое состояние (*Q*1 *=* *Q*2 *=* *Q*3 *=* 0), а затем на счетный вход поступает очередной *k*-й импульс (рис. 6.24).

|  |  |  |  |
| --- | --- | --- | --- |
| *k* | *Q*1 | *Q*2 | *Q*3 |
| 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 0 |
| 2 | 1 | 1 | 0 |
| 3 | 1 | 1 | 1 |
| 4 | 0 | 1 | 1 |
| 5 | 0 | 0 | 1 |
| 6 | 1 | 0 | 0 |
| 7 | 1 | 1 | 0 |
| 8 | 1 | 1 | 1 |

*G* *t*

*Q*1 *t*

*Q*2 *t*

*Q*3 *t*

Рис. 6.24 — Таблица состояний и временные диаграммы выходных сигналов

До подачи первого импульса на информационных входах триггера *Т*1: *J* *=* 1, *K* *=* 0. После первого импульса *Т*1 переходит в единичное состояние, а логические нули с выходов *Q*1, *Q*2 пере-писываются на выходы *Q*2, *Q*3. Уровни сигналов на информаци-онных входах *Т*1 не изменились. Поэтому после второго импульса он снова будет находиться в состоянии *Q*1 *=* 1. Теперь уже и *Q*2 *=* 1. На информационных входах *Т*1 устанавливаются уровни *J* *=* *K* *=* 0.

После третьего импульса *Т*1 не меняет своего состояния, оста-ваясь в состоянии *Q*1 *=* 1. В этот момент все триггеры находятся в единичном состоянии. При этом на входе *Т*1 *J* *=* 0, *K* *=* 1, и после

101

четвертого импульса триггер *Т*1 сбрасывается в нулевое состояние. После пятого импульса состояние *Т*1 не меняется. Теперь на входах *Т*1 *J* *=* *K* *=* 1. Поэтому после шестого импульса триггер *Т*1 меняет свое состояние на противоположное и переходит в состояние *Q*1*=* 1.

Анализ таблицы состояний показывает, что после шестого импульса состояние счетчика такое же, как после первого. Сле-довательно, в цикле реализуются пять состояний и *К*сч = 5. На ка-ждом выходе чередуются три единичных и два нулевых состоя-ния. Выход *Q*2 повторяет выход *Q*1 с задержкой на один такт, а выход *Q*3 с задержкой на один такт повторяет выход *Q*2 (см. вре-менные диаграммы сигналов).

При включении источника питания каждый триггер может установиться либо в нулевое, либо в единичное состояние. У счетчика на трех триггерах таких состояний восемь. В рассмот-ренном цикле повторяются пять состояний. Вне цикла остается три состояния. Из состояния 000 (*Q*1 *Q*2 *Q*3) поведение счетчика мы уже рассмотрели. Остается проследить, как будет работать счетчик, если при включении он установится в состояния 101 или 010. Такой анализ показывает, что из этих состояний, как из со-стояния 000, счетчик выходит на описанный режим работы, когда циклически повторяются состояния 100, 110, 111, 011, 001. Сле-довательно, начальная установка триггеров в фиксированное со-стояние не требуется.

**6.19** **Примеры** **построения** **цифровых** **устройств** **последовательностного** **типа**

***Пример*** ***6.1.*** ***Цифровой*** ***широтно-импульсный*** ***модулятор***

Двоичный счетчик на микросхемах *DD*1, *DD*2 (K555ИЕ7) по-следовательно в цикле пробегает состояния с 0 по 255 (рис. 6.25), формируя на входах *А*i цифрового компаратора код развертки, повторяющийся с периодом *Т* = 256/*f*, где *f* *—* частота генератора тактовых импульсов *G*. Цифровой компаратор выполнен на мик-росхемах *DD*3, *DD*4 (К555СП1). На входы *B*i цифрового компа-ратора подается восьмиразрядный код управляющего сигнала. Пропорционально этому коду меняется длительность импульсов, формируемых на выходе А< цифрового компаратора, в то время как их период неизменен и равен *Т*.

102

G *f*

*DD*1

|  |  |
| --- | --- |
| CT2  R  +1 | 1 2 4 8  ≥15 |

*DD*2

|  |  |
| --- | --- |
| R  +1 | CT2  1 2 4 8  ≥15 |

*DD*3 *DD*4

Код развертки

+5 B

Код управления

1 2 4 8

A1 = = A2

A4 A8

> A> = A= < A<

B1 B2 B4 B8

16 32 64 12

|  |  |  |
| --- | --- | --- |
|  | A1 A2 A4 A8  > = <  B1 B2 B4 B8 | = =  A> A= A< |
| 8 |

*T*

Рис. 6.25 — Цифровой широтно-импульсный модулятор

Принцип работы микросхемы цифрового компаратора К555СП1 состоит в следующем. Если число, код которого подан на входы *А*1–*А*8, больше числа, код которого подан на входы *В*1–*В*8, на выходе А> микросхемы появляется логическая 1, на выходах А= и А< — логические 0. Если код числа *А* меньше кода числа *В*, логическая 1 появляется на выходе А<, на выходах А= и А> — логические 0. Если коды, поданные на входы *А* и *В*, равны, микросхема передает на свои выходы сигналы со входов >, < и =, если на этих входах только одна логическая единица.

После реализации временной задержки *RS*-триггер сбрасы-вается в нулевое состояние, выключая реле. Таймер переходит в режим ожидания новой установки, сохраняя нулевое состояние счетчика. Диод *VD*1 защищает выход триггера от перенапряже-ния, которое возникает при выключении реле *К*1 (РЭС64А).

103

***Пример*** ***6.2.*** ***Электронный*** ***таймер***

Обеспечивает включение исполнительного реле на время от 1 до 99 минут, индикацию времени в режиме обратного счета. Генератор *G* формирует прямоугольные импульсы с частотой *f*1 = 2 Гц (рис. 6.26), а на выходе делителя частоты формируются импульсы с периодом *T* = 1/*f*2 = 1 мин. Двоично-десятичный код реверсивного счетчика *DD*3, *DD*4 (К155ИЕ6) с помощью дешиф-раторов *DD*5, *DD*6 (514ИД1) преобразуется в код управления цифровыми индикаторами *HG*1, *HG*2 (АЛС324А). При нажатой кнопке *S*1 (установка) импульсы генератора с частотой 2 Гц про-ходят на суммирующий вход счетчика для установки временной задержки. Пуск таймера осуществляется при нажатии кнопки *S*2. *RS*-триггер *DD*1.2 (К155ТМ2) устанавливается в единичное со-стояние, включая реле *К*1, и снимает запрет на прохождение ми-нутных импульсов на вычитающий вход счетчика.

*DD*3 *DD*5 *HG*1

G

*f*1 *f*2

*DD*2

&

&

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | CT10 R 1  2 +1 4  8 ≥9  –1 ≤0 |  | DC A 1 B 2 C 4 D 8 E  F G |  | A DPY B LED C  D E F G |
|  |  |
|  |
|  |
|  |

*DD*4 *DD*6 *HG*2

*S*1

*DD*1.1

|  |  |
| --- | --- |
|  | R T  S |
|  |

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
|  | CT10 R 1  2 +1 4  8 ≥9  –1 ≤0 |  | DC A 1 B 2 C 4 D 8 E  F G |  | A DPY B LED C  D E F G |  |
|  |
|  |  |
|  |

*DD*1.2 *VD*1

*S*2

|  |  |
| --- | --- |
|  | R T  S |
|  |

+5 В

*K*1

Рис. 6.26 — Электронный таймер

104

6

2,65

***Пример*** ***6.3.*** ***Устройство*** ***управления*** ***многоразрядным*** ***ин-дикатором.***

Полупроводниковые знаковые *многоразрядные* миниатюр-ные одноцветные индикаторы предназначены для преобразования низковольтных электрических сигналов в визуальную буквенно-цифровую информацию. Индикатор представляет собой набор 7–8-сегментных индикаторов и межэлектродных соединений, конструктивно расположенных и смонтированных в одном кор-пусе. Эти приборы являются многоразрядными гибридными ин-дикаторами с оптическим увеличением и предназначены в основ-ном для визуальной индикации результатов в малогабаритных счетных устройствах.

Конструктивно монолитные многоэлементные кристаллы помещают на общем основании, а для увеличения видимого изо-бражения используется многоэлементная (по числу цифр) пласт-массовая линза. Коэффициент увеличения размера знака, в зави-симости от типа применяемой линзы, — от 2 до 3. Использование оптического увеличения позволяет также увеличить силу света индикаторов в 2–5 раз. Индикаторы исполнены в монолитной по-лимерной герметизации с числом разрядов от двух до пяти, с уче-том возможности бесшовной стыковки, и обеспечивают набор шкал на любое число знакомест с шагом разряда 3,7 и 5 *мм* и вы-сотой высвечиваемого знака 2,5; 3,75 и 5 *мм*.

На рис. 6.27 приведено графическое изображение индикато-ра АЛ308Б. Наименование сегмента соответствует наименованию вывода. Одноименные разряды во всех сегментах объединены и имеют общий вывод (ОК — общий катод). Выводы 1, 2, 3, 4 — это выходы ОК первого, второго, третьего и четвертого индика-

1,6

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | | 1,65 a  f g b  e c d |  | |
|  |  |
|  | |
|  |  |  |  |
|  | |  | |
|  |  |
|  | |  |  |
|  |  |  |
|  | |  |
|  |  |  |
|  | |  | |
|  |  |
|  |  |
|  | |
|  |  | 0,5 | |
| 18 |
|  |
| 15 |
| Рис. 6.27 — Графическое изображение индикатора АЛ308Б | | | | |

105

торов. При подаче на входы А–G некоторого символа засветится тот индикатор, общий катод которого соединен с общей шиной. Чтобы обеспечить индикацию четырехразрядного кода, необхо-димо поочередно подавать код данного разряда на входы A–G и одновременно подключать ОК этого индикатора к общей шине. Такой способ индикации называется *динамическим*. Динамиче-ская индикация основывается на кратковременном периодиче-ском высвечивании соответствующей цифры в индикаторе, так что при достаточно высокой частоте повторения этого процесса глаз человека не замечает мерцаний, цифра в индикаторе пред-ставляется оператору высвечивающейся непрерывно. На рис. 6.28 приведена структурная схема устройства динамической индика-ции с использованием мультиплексоров, отчего ее называют *мультиплексной*.

D00 D01 D02 D03

D10 D11 D12 D13

1

2

3

1

3

1

3

1

3

1

2

4

8

A

B

*C*

E

1

Q2

DI1

A0

A1

D20 D21 D22

D23

D30

D31

D32 D33

0 MS DD1 DD5 *DI*0 DI0 X/Y

DI0 A0 A1

*Q1* *Q2* DI2 *D* 0 MS DD2 DI3 F 2 *DI*1 DI1 *G* A0 A1 Q1 DC 0

*Q1* *Q2* Q2 2

0 MS DD3 3

2 *DI*2 DI2 G A0 A1

*Q1* *Q2*

0 MS DD4

2 *DI*3 DI3 Q1

A0 A1 *Q1* *Q2*

DD6

|  |  |
| --- | --- |
| CT2 +1 | Q1 |
| Q2 |
|  |

АЛС329Н

A B C D E F G OK H7S

1

A B C D E F G OK H7S

2

OK A B C D E F G H7S

3

A B C D E F G OK H7S

4

Рис. 6.28 — Структурная схема мультиплексного управления индикатором

106

Четырехразрядные коды от четырех декад группируют по-разрядно на входах четырех мультиплексоров *DD*1 *DD*4 (4 →1). На входы *DD*1 подаются младшие разряды декад, на входы *DD*4 — старшие. С выходов мультиплексоров четырехразрядный код по-дается на преобразователь двоично-десятичного кода в код управления семисегментным индикатором. С преобразователя код AG поступает на одноименные сегменты четырех индикато-ров. Синхронизация работы мультиплексного (*динамического*) индикатора осуществляется с помощью генератора *G* и двухраз-рядного двоичного счетчика. Частота генератора выбирается та-кой, чтобы мерцание индикаторов было незаметно. Выходные сигналы *Q*1 и *Q*2 подаются на адресные входы мультиплексоров. Код *Q*1= *Q*2 = 0 выдает на вход преобразователя код первой де-кады (D00, D01, D02, D03), одновременно на первом выходе де-шифратора *DC* (DD6) формируется логический 0, что обеспечи-вает зажигание первого индикатора. При *Q*1= 1, *Q*2 = 0 зажигает-ся второй индикатор, остальные погашены и т. д. Так идет цик-лический «опрос» декад и зажигание индикаторов.

107

**7** **ПОЛУПРОВОДНИКОВЫЕ** **ЗАПОМИНАЮЩИЕ** **УСТРОЙСТВА**

**7.1** **Классификация** **запоминающих** **устройств**

По функциональному признаку различают *постоянные* за-поминающие устройства (ПЗУ), хранящие информацию, предна-значенную только для чтения, и *оперативные* запоминающие устройства (ОЗУ), предназначенные для записи, хранения и счи-тывания цифровой информации.

ПЗУ относятся к комбинационным цифровым устройствам, ОЗУ относятся к цифровым устройствам последовательностного типа. ПЗУ сохраняют информацию при отключенном питании, т. е. обладают свойством энергонезависимости, в ОЗУ информа-ция теряется при отключении питания.

ПЗУ по принципу работы являются преобразователями *n*-раз-рядного кода адреса ячейки А в *m*-разрядный код хранящегося в ней слова D (рис. 7.1). Данные считываются при подаче разрешаю-щего уровня на вход *CS.*

*n*

|  |  |  |
| --- | --- | --- |
| А  CS | ROM | ~~◊~~  D |

*A* *t*

*m* *CS* *t*

*D* *t*

Рис. 7.1 — Условное графическое обозначение ПЗУ и временные диаграммы его работы

Микросхемы ПЗУ по способу записи в них информации де-лятся на *масочные* (*ROM* — Read Only Memory), программируемые на заводе-изготовителе интегральных микросхем; *однократно-программируемые* (*PROM* — Programmable *ROM*) и *многократно-программируемые* пользователем (репрограммируемые ПЗУ).

Элементом памяти ОЗУ *статического* типа (*RAM*) служит триггер на биполярных или полевых транзисторах, ОЗУ *динами-ческого* типа (*DRAM*) — конденсатор.

108

Для обеспечения возможности объединения по выходу при наращивании памяти все ПЗУ (как и ОЗУ) имеют выходы с тремя состояниями (◊) или открытый коллекторный выход (◊).

**7.2** **ПЗУ** **масочного** **типа**

Схемотехническую реализацию ПЗУ масочного типа иллю-стрирует рис. 7.2. Схема имеет адресные входы *х*1, *х*2, выходы со-держимого ячеек памяти *z*1*–z*4, вывод для подключения источника питания *Е* и общий вывод. Верхняя часть схемы представляет со-бой полный дешифратор. Если разрядность адреса равна *n,* то в дешифраторе имеем 2*n* горизонтальных входных линий, на кото-рых формируются входные переменные и их инверсии. Число вертикальных линий в полном дешифраторе равно 2*n*. С помо-щью специальных масок программируется наличие или отсутст-вие *р-n*-перехода в цепи связи вертикальных и горизонтальных шин матрицы. Размещение диодов матрицы И показано на ри-сунке жирными точками. Диоды ориентированы так, как показа-но на вынесенной в кружок части рисунка.

*Е*

*х*1

*х*2 1 И 1

ИЛИ

*z*1 *z*2 *z*3 *z*4

*y*0 *y*1 *y*2 *y*3 Рис. 7.2 — ПЗУ масочного типа

На вертикальных шинах матрицы реализуются логиче-ские функции *y*0 *x* ⋅*x*2, *y* *x* ⋅*x*2, *y*2 *x* ⋅*x*2, *y*3 *x* *x*2. Каж-

1

1 1

1

1

109

дому набору входных переменных, т. е. адресу ПЗУ, соответст-вует уровень логической единицы на одной из вертикальных линий и логического 0 на всех остальных. Диоды дешифратора реализуют матрицу И*.*

В нижней части рисунка диоды реализуют матрицу ИЛИ. Количество горизонтальных линий соответствует разрядности слова, записанного по каждому адресу. Наличие диода формирует 1 в соответствующем бите выходного слова, отсутствие диода — 0. В ПЗУ схема дешифратора неизменна, а программируется матри-ца связей ИЛИ (они удобны для реализации преобразователей кода).

В ПЛМ (программируемых логических матрицах) программи-руются обе матрицы (И и ИЛИ). ПЛМ удобны для реализации сложных логических функций, их преимущества особенно замет-ны при большом числе входных переменных.

В данном примере реализовано ПЗУ, карта прошивки кото-рого представлена ниже в таблице, слева от которой записаны реализуемые логические функции.

*z*2 *x* ⋅*x*2 *x* *x*2,

*z*2 *x* *x*2 *x* *x*2 *x* ⊕*x*2, *z*3 *x* *x*2,

1 1

1 1 1

1

*z*4 *x* *x*2 .

1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| *x*1 | *x*2 | *z*1 | *z*2 | *z*3 | *z*4 |
| 0 0 1 1 | 0 1 0 1 | 1 0 0 1 | 0 1 1 0 | 0 1 0 0 | 1 1 0 1 |

**7.3** **Однократно** **программируемые** **ПЗУ**

Один из принципов построения однократно программируе-мого ПЗУ с организацией 328 (микросхема К155РЕ3) показан на рис. 7.3. К каждому из 32 выходов дешифратора подключен восьмиэмиттерный транзистор. До программирования по любо-му адресу *А* считывается байт нулей (*D*0 *–* *D*7). После подачи вы-сокого напряжения на одну из линий *D*0 – *D*7 пробивается стаби-литрон, и открывшийся транзисторный ключ *VT*1 обеспечивает прожигание нихромовой перемычки (элемент на рисунке затем-нен) в соответствующем разряде, после чего выходной транзистор

110

+ 5 В

DC

*A* 5

0 1 2

. **.** **.**

31

**...** *D*0

+ 5 В *VT*1 *VT*2 **.** **.** **.**

**...** 1 *D*7

Рис. 7.3 — Пример построения *PROM*

*VT*2 закрывается (на выходе читается логическая 1). Таким обра-зом, процесс программирования сводится к пережиганию специ-альных плавких перемычек из тугоплавкого материала. Процеду-ра реализуется с помощью программатора, управляемого персо-нальным компьютером. Для повышения надежности работы ПЗУ методика программирования предусматривает подачу серии 40–100 импульсов после фиксации момента пережигания перемычки, а также обязательную термотренировку запрограммированного ПЗУ при определенной температуре в заданном электрическом режиме.

**7.4** **Перепрограммируемые** **ПЗУ**

Репрограммируемые ПЗУ в настоящее время выполняются двух типов:

1) с электрическим программированием и электрическим стиранием (*EEPROM*);

2) с электрическим программированием и ультрафиолето-вым стиранием (*EPROM*).

В *EEPROM* (Electrically Erasable *PROM*) матрица запоми-нающих ячеек (ЗЯ) выполняется по МОП-технологии, но между металлическим затвором и слоем изолирующего окисла осажда-ется тонкий слой нитрида кремния. Нитрид кремния способен за-

111

хватывать и длительное время сохранять электрический заряд. Такая структура называется МНОП (металл — нитрид кремния — окисел — полупроводник). Чтобы зарядить слой нитрида крем-ния, на затвор МНОП-транзистора подается программирующий импульс, по амплитуде в несколько раз превышающий рабочие уровни напряжений. При подаче сигнала на адресную шину, под-ключенную к затворам МНОП-транзисторов, логическая 1 чита-ется на истоке «заряженных» транзисторов. При отсутствии заря-да ЗЯ хранит логический 0. Для стирания записанной информа-ции, т. е. для удаления заряда, захваченного слоем нитрида крем-ния, на затвор МНОП-транзистора необходимо подать импульс напряжения противоположной полярности.

В *EPROM* (Erasable *PROM*) ЗЯ реализуется на МОП-транзисторе с селекторным и плавающим затворами. Плавающий затвор заряжается током лавинной инжекции при подаче на сток транзистора повышенного напряжения (до 25–30 В). Пороговое на-пряжение возрастает с 3 до 15 В, и при чтении на выходе ЗЯ чита-ется 0. Для стирания информации пользуются облучением кри-сталла через специальное прозрачное окно в корпусе микросхемы ультрафиолетовым светом. Заряд на плавающем затворе рассасы-вается, пороговое напряжение падает, и выход повторяет высокий потенциал затвора — уровень логической 1. Комнатное освещение или солнечный свет не влияют на запрограммированное ПЗУ.

Особенно перспективны в настоящее время *ЕЕPROM* типа флэш-памяти (Flash), допускающие запись и стирание блоков ин-формации (вплоть до 60 Кб), в отличие от побайтового обращения при программировании других *ЕЕPROM*. Разработанная по флэш-технологии микросхема 28F008SA представляет собой энергонеза-висимую СБИС емкостью 1 Мб с временем обращения 85 нс и электрическим стиранием записанной информации.

**7.5** **ОЗУ** **статического** **типа**

***Оперативные*** ***запоминающие*** ***устройства*** (ОЗУ). Элементом памяти ОЗУ статического типа (*RAM*) служит триггер на биполярных или полевых транзисторах, ОЗУ динамического типа (*DRAM*) — конденсатор, специально сформированный внутри МОП-струк-

112

туры. Структурная схе-*А* 0 *–* *А*5 DC *Y* ма ОЗУ с организацией

Матрица

Устройство

управления

DC

*X*

*–* *А*

6

6

64

4К1 приведена на рис. 7.4. Младшие шесть

64

*Y*

*i* разрядов 12-раз-рядного адреса ячейки с помо-

*X* щью дешифратора оп-запоминающих ределяют одну из вер-

*i*

*А*

6 11 ячеек тикальных, а старшие — одну из горизонтальных шин запоминающего мас-сива, на пересечении которых находится за-

*DI* поминающий элемент. *DO* Разрядные шины, кото-

*W/R* рые используются для

*CS* записи и считывания Рис. 7.4 — Структурная схема ОЗУ информации, в являются

общими для сех ячеек

матрицы. Для одновре-менного запоминания *m*-разрядных слов необходимо *m* одинако-вых матриц.

Устройство управления определяет режим работы схемы ОЗУ. По сигналу *CS* разрешаются или запрещаются операции за-писи или считывания. Сигнал *CS* позволяет выбрать требуемую микросхему памяти в ЗУ, состоящем из ряда микросхем. Подача сигнала логической 1 на вход *W/R* при наличии *CS* = 1 позволяет выбрать режим записи. Если же сигнал *W/R* = 0, то микросхема будет работать в режиме считывания.

Данные, подлежащие записи, поступают на вход *DI*, а дан-ные, подлежащие считыванию, снимаются с выхода *DO*. Устрой-ства записи и считывания обеспечивают прием и выдачу сигна-лов информации с уровнями, согласующимися с серийными циф-ровыми микросхемами.

Взаимодействие каждой запоминающей ячейки и устройст-ва управления можно пронаблюдать по структурной схеме рис. 7.5, где обозначено: *DI* (Data Input) — входной информаци-

113

онный сигнал; *DO* (Data Output) — выходной информационный сигнал; *W/R* (Write/Read) — запись/чтение; *CS* (Chip Select) — выбор кристалла; *Xi,* *Yi* — горизонтальные и вертикальные линии матрицы.

На другие ЗЯ От других ЗЯ

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | | | | & |
|  |  | | |
|  | | | |
|  | 1 |  | |
|  | |

|  |  |
| --- | --- |
|  | & |
|  |

|  |  |
| --- | --- |
| & |  |
|  |

|  |  |
| --- | --- |
| D C | T |

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| 1 |  | | | | | | |
|  |  | ЗЯ | | |  | |
|  | & |
|  | |
|  | &◊ |  |  | &◊ |
|  |  |
|  | | |  | |

*DI*

*CS*

*DO* *W/R*

*Xi* *OE* *Yi*

Рис. 7.5 — Структурная схема запоминающей ячейки

Сигнал *DI* подается на буфер, выходной сигнал которого поступает на информационные входы всех запоминающих ячеек. Сигнал *OE* = *W/R.CS* управляет *Z*-состоянием выходного буфера. Выходной каскад каждой ЗЯ выполнен на элементе с открытым коллекторным выходом, что позволяет объединить при монтаже выходы всех ячеек памяти.

**7.6** **ОЗУ** **динамического** **типа**

В качестве запоминающего элемента в *ячейке* *памяти* *дина-мического* *ОЗУ* используется конденсатор небольшой емкости

(рис. 7.6). При записи данных

+

*E*

DI

происходит отпирание тран- *VT*2 зистора *VT*1, и через его малое

*DO*

Считывание

*VT*1

сопротивление осуществляет- Запись ся заряд (если необходимо за-

помнить 1) или разряд (если *VT*3 запоминается 0) конденсатора

*C*

*С* от источника входного ин-формационного сигнала *DI.* В

режиме хранения транзистор Рис. 7.6 — Запоминающий элемент динамического ОЗУ

114

*VT*1 заперт, и конденсатор медленно разряжается через входное со-противление *VT*3 и высокое выходное сопротивление транзистора *VT*1*.* Если время хранения логической 1 больше 2–4 мс, то конден-сатор *С* необходимо периодически подзаряжать, подключая его к источнику напряжения питания (элементы схемы регенерации на рисунке не показаны). Обычно в качестве конденсатора *С* исполь-зуется входная емкость транзистора *VT*3, составляющая единицы пикофарад.

Информация считывается при подаче логической 1 на за-твор *VT*2*.* При этом транзистор *VT*2 открывается, и на сток тран-зистора *VT*3 подается напряжение питания. Если конденсатор *С* заряжен, то транзистор *VT*3 открывается и на выходе *DO* дейст-вует напряжение логического нуля. *VT*3 работает как транзистор-ный ключ, нагрузкой которого является транзистор *VT*2, поэтому он инвертирует входной сигнал. Если конденсатор *С* разряжен, то *VT*3 оказывается запертым и на линии *DO* действует логическая 1.

В *DRAM* требуется периодическое восстановление (регене-рация) записанного состояния. В большинстве случаев современ-ные СБИС динамической памяти имеют встроенные средства ре-генерации. *DRAM* позволяют реализовать большой объем памяти на кристалле (до 64 Мбайт).

**7.7** **Примеры** **микросхем** **памяти**

Основными характеристиками микросхем ОЗУ и ПЗУ явля-ются:

– емкость (определяется произведением количества храни-мых слов на их разрядность);

– быстродействие (определяется временем цикла обращения к памяти);

– экономичность (определяется мощностью, потребляемой от источника питания).

Основные технические характеристики некоторых отечест-венных микросхем запоминающих устройств приведены в табл. 7.1.

115

Таблица 7.1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| БИС | Емкость | Технология | Время цикла, нс | Мощность, мВт | Тип ЗУ |
| К155РЕ24 К556РТ5 К573РФ2 К558РР3 К537РУ8 К565РУ5 | 2564 5128 20488 81928 20488 655361 | ТТЛ ТТЛШ ЛИЗМОП МНОП КМОП *n*-МОП | 60 70 450 500 350 280 | 650 950 580 500  5 (*Р*ст) 22 (*Р*ст) | ROM PROM EPROM EEPROM RAM DRAM |

Примеры условных графических обозначений некоторых микросхем ПЗУ и ОЗУ приведены на рис. 7.7. В однократно про-граммируемой микросхеме К556РТ5 выходная информация считы-вается при совпадении разрешающих сигналов на входах *CS* (вы-бор корпуса), в ПЗУ с ультрафиолетовым стиранием К573РФ5 — при совпадении логических нулей на входах *CS* и *OE* (разреше-ние выхода). Микросхема ОЗУ К537РУ9 имеет двунаправленную шину данных с возможностью ее перевода в третье состояние. При записи информации логический 0 подается на вход разреше-ния записи *WE,* при чтении — на вход *ОЕ*.

К556РТ5 К573РФ5 К537РУ9

9

|  |  |
| --- | --- |
|  | PROM ◊  A  D  & CS |
|  |
|  |

11

8

ЕРROM ◊A

D

ОЕ CS

11

8

RАM ◊A

D 8 CS

WE OE

Рис. 7.7 — Примеры микросхем ПЗУ и ОЗУ

**7.8** **Организация** **блока** **памяти**

Вариант подключения микросхем памяти к системной маги-страли микропроцессора, имеющего 16-разрядную шину адреса (ША) и восьмиразрядную шину данных (ШД), показан на рис. 7.8.

116

Каждая из микросхем образует страницу памяти объемом 2 Кб, выбор нужной ячейки из которой производится с помощью ад-ресных сигналов *А*0 – *А*10. Выбор нужной страницы осуществляет дешифратор К555ИД7 по состоянию старших разрядов адресной шины *А*11 *–А*15. В данном примере ячейки ПЗУ и ОЗУ занимают в адресном пространстве микропроцессора соответственно области 0000Н — 07FFH и 0800H — 0FFFH.

16 11

ША

|  |  |
| --- | --- |
| 1 2 4  & E | DC 0 1 2 3 4 5 6 7 |

|  |  |
| --- | --- |
| A ROM  CS OE | D |

К555ИД7 *А*11

*А*12 *А*13

*А*14 *А*15

ШД

К573РФ5

11

*RD* *WR*

8

*A*0 *–* *A*15

К537РУ9

11 A RAM

CS D 8 OE

WE

8

*D*0 *–* *D*7

Рис. 7.8 — Организация блока памяти

Команды записи формируют строб *WR*, команды чтения — строб *RD*. Выходы дешифратора позволяют добавить к блоку па-мяти еще шесть аналогичных страниц ОЗУ или ПЗУ.

117

**8** **ПРИМЕРЫ** **РЕШЕНИЯ** **ЗАДАЧ**

***Задача*** ***1.*** В приведенном ниже списке интегральных мик-росхем укажите (через пробел) номера цифровых микросхем комбинационного типа.

|  |  |  |  |
| --- | --- | --- | --- |
| 1 | К555ИМ3 | 6 | К1533ИЕ6 |
| 2 | К133ТМ2 | 7 | К531ИД3 |
| 3 | К142ЕН5 | 8 | К1554ИР24 |
| 4 | К537РУ8 | 9 | К1561КП1 |
| 5 | К556РТ5 | 10 | К140УД20 |

**Ответ:** 1 5 7 9. Указаны микросхемы сумматора, ПЗУ, де-шифратора и мультиплексора. Кроме них в списке приведены обозначения двух аналоговых микросхем (стабилизатора посто-янного напряжения и операционного усилителя) и цифровых микросхем последовательностного типа (*D*-триггера, ОЗУ, счет-чика и регистра).

***Задача*** ***2.*** Записать в виде восьмиразрядного двоичного числа со знаком дополнительный код числа минус 35.

**Ответ:** 11011101. Он соответствует двоичному коду числа 256 – 35=221.

***Задача*** ***3.*** Указать сегмент диаграммы Венна, которому со-ответствует логическое выражение *C* ⋅(*A**B*).

*A* *B*

5 2 6 1

3 4 7

**Ответ:** 7. Это часть круга *С*, в которой надо исключить облас-ти, принадлежащие кругу *А* и кругу *В*. К аналогичным рассуж-дениям приводит и эквивалентное преобразование логического вы-

*C* ражения: *C*⋅(*A**B*) *C*⋅*A*⋅*B*.

***Задача*** ***4.*** Указать логические соотношения (их номера че-рез пробел в порядке нарастания), в которых допущена ошибка.

118

1. *AB*⋅*BC* *B**A**C*

2. (*A**B*)(*A**C*) *A**BC*

3. *A*⊕*B* *AB*⋅(*A**B*) 4. *AB**AÑ* *AB*(*A**C*)

5. *A*⊕*B* *A*⊕*B* 6. *AB**BC* *ABC*

**Ответ:** 3 6. Для доказательст-ва справедливости представ-ленных соотношений можно воспользоваться законами бу-левой алгебры или диаграм-мами Венна.

***Задача*** ***5.*** Указать значения булевой функции *f* *ABC* *AC* *BC* на восьми наборах таблицы истинности, со-

ответствующих указанным на рисунке клеткам карты Карно

(*f*7…*f*0).

**Ответ:** 01101010. Логическая функция записана в ДНФ. Ка-ждому слагаемому соответствует блок из логических 1 на карте

*A* Карно. Блок *ABC* дает 1 в

*C*

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | 2 | 6 | 4 |
| 1 | 3 | 7 | 5 |

*B*

клетке 6. Блок *AC* дает 1 в

клетках 1 и 3. Блок *BC* запол-няет единицами клетки 1 и 5.

***Задача*** ***6.*** На каком выходе дешифратора повторяется сигнал *А*?

|  |  |
| --- | --- |
| D T  C |  |
|  |

1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | | | | 1 DC  2  4  E | 0 1 2 3 4 5 6  7 |
|  | & |  | |
| =1 |
|  | *A* |
|  |
|  | | |
|  |

**Решение.** На вход *С* *D*-триггера подана логическая 1. Сле-довательно, он работает как повторитель уровня, который подан на вход *D*. При этом на его прямом выходе — 0, инверсном — 1. На выходе логического элемента «Исключающее ИЛИ» форми-руется логический 0, так как уровни на входах одинаковые. По-скольку на всех адресных входах дешифратора (в данном случае он работает как демультиплексор) логические нули, входной сиг-

119

нал *А* повторится на его нулевом выходе. На всех других выходах будет логическая 1.

***Задача*** ***7.*** Какое число загорится на цифровом индикаторе?

48H

8

29H

8

|  |  |  |
| --- | --- | --- |
|  | | 1 2 4 8 |
| А  B | SM |
| 16 32 64 128 |

4

4

|  |  |  |
| --- | --- | --- |
| 1 2 4 8 | DC | 7 |
|  |

|  |  |  |
| --- | --- | --- |
| 1 2 4 8 | DC | 7 |
|  |

**Ответ:** 71. На рисунке изображена функциональная схема восьмиразрядного сумматора, на входы *А* и *В* которого поступа-ют слагаемые, записанные в шестнадцатеричной форме (суффикс Н). На выходе формируется сумма 48Н+29Н = 71Н. Старшая тет-рада через дешифратор (преобразователь двоично-десятичного кода в код семисегментного индикатора) высвечивает на левом индикаторе цифру 7, младшая — цифру 1 на правом индикаторе.

***Задача*** ***8.*** Указать восьмиразрядное слово *Х* (*х*7…*х*0), кото-рое надо подать на входы мультиплексора для реализации логи-

ческой функции *F* *ABÑ* *ABÑ* *ABC*.

**Ответ:** 10010111. Логическая функция записана в СДНФ и принимает единичные значения на трех наборах входных пере-менных *А*, *В* и *С* — шестом, пятом и третьем (номера наборов по-лучены путем суммирования весо-

*С*

|  |  |  |
| --- | --- | --- |
|  | 0 . . 7 | MS |
| 4 2 1 |
|  |
|  |
|  |

вых коэффициентов адресных вхо-дов мультиплексора, соответст-вующих прямым значениям пере-менных). На эти информационные

*А* входы мультиплексора надо подать *В* логические нули, так как функция формируется на его инверсном вы-

ходе.

120

***Задача*** ***9.*** Указать функцию сравнения, которую фиксирует горящий светодиод?

1 к

5 B 1. А = В

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| *a*1 |  | | |  |  | | | | | | |
|  |  | |  |  | | |  |  | | 47 |
|  | | | | | |
|  | 1  2  4  8 | SM | | 1 2 4 8 16 |  |
|  | |
|  | |
| *a*2 |  | |
|  |  | |
|  | |
| *a*3 |  | |
|  |  |  |
|  | |  | |  | |
| *a*4 |  | |
|  | | | |
|  | |
|  | | |

*b*1 2. А > В

*b*2 3. А < В *b*3 0 4. А ≥ В

*b*4 5. А ≤ В

**Ответ:** 3. На один из входов сумматора с весом 1 постоянно подана логическая 1. Для того чтобы горел светодиод, должен быть логический 0 на выходе сумматора с весом 16, т. е. выпол-няться неравенство *A**B* 116. На конкретных примерах четы-рехразрядных чисел *А* и *В* легко убедиться, что светодиод горит при *А* *<* *В* (полезно заметить, что *B* 15−*Â*). Пусть, например, *А* = *В* = 5. Пятиразрядная сумма на выходе сумматора отобража-ется числом 16 = 10000. Светодиод не горит. Тот же эффект будет если *А* > 5. А если *А* < 5, например, *А* = 3, то на выходе сумматора число 14 = 01110 и загорается светодиод.

***Задача*** ***10.*** Счетчик находился в состоянии 7, после чего на его вход поступило 125 импульсов. Какое число загорится на цифровом индикаторе?

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | | +1 | СТ2 | 1 2 4 8 |
| G |  |
|  |

4 DC 7

**Ответ:** 4. На схеме изображен четырехразрядный сумми-рующий двоичный счетчик с коэффициентом пересчета 16, ме-няющий состояния с 0 по 15. После поступления 16 импульсов на вход счетчика он снова окажется в 7-м состоянии. В этом же со-

121

стоянии он будет через 112 импульсов (ближайшее целое число к 125, которое делится на 16). Еще через 13 импульсов он окажется в состоянии 4. Это число и загорится на цифровом индикаторе.

***Задача*** ***11.*** Оценить число каналов распределителя им-пульсов, показанного на рисунке?

1

G

|  |  |
| --- | --- |
| R  +1 | CT2 1 2 4 8 |

|  |  |
| --- | --- |
| 1 2 4 8 | DC 0 1 2 .  14 15 |
| & E |

G

**Решение.** Как только суммирующий двоичный счетчик пе-реходит в 14-е состояние (по фронту импульсов генератора *G*), формируется логическая 1 на входе *R* и он сбрасывается в нуле-вое состояние. Таким образом, число каналов распределителя импульсов равно 14 (с 0-го по 13-й).

***Задача*** ***12.*** Указать емкость ПЗУ в битах.

8

|  |  |  |
| --- | --- | --- |
|  | A ROM  CS |  |
|  |

**Ответ:** 2048. Емкость ЗУ в битах определяется

8 произведением количе-ства хранящихся слов на их разрядность. В дан-ном ПЗУ хранится 256 восьмиразрядных слов.

***Задача*** ***13.*** Во сколько раз (указать число) частота выход-ных импульсов меньше частоты генератора.

122

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | |  | | |  | | | | | | |  | | | | | |
|  | 1 |  |
|  | | | | D C | T |  |
|  | | |
|  |  | |  | | | |  |
|  | |
|  |  |  |  | |  |
|  | | |  | | | |
|  |  |  | | | | |  | | 1 2 4 8 | DC | 0 1 2 … |
|  | D C | T |  | | | |
|  | |  |  |  | | |
|  | |  |  |  | |
|  | | | |
|  |  |
|  | | | |  |  |  | | | | |
|  | | | |
|  | D C | T |  | |
|  | | G |  |
|  | |  |  |  | |
|  | |  | | |
|  | | | | | |
|  | | | | |
|  | | | | |  |  | | | | | | |
|  | | D C | T |  | | |
|  | | |  |  | | | | | |
|  | | | | | | | |
|  | | | | | | | | | | |

Выход 2

**Ответ:** 5. На рисунке показана схема кольцевого счетчика на регистре сдвига, к выходам которого подключен дешифратор. Коэффициент пересчета счетчика равен 5. По его пяти выходам при подаче импульсов генератора перемещается логическая 1 (пятый выход счетчика — это выход логического элемента ИЛИ-НЕ). Состояниям счетчика соответствует появление логической единицы на выходах дешифратора 0, 1, 2, 4 и 8. На выходе 2 часто-та импульсов будет в пять раз меньше частоты генератора. На не-которых других выходах, например третьем, импульсов не будет.

***Задача*** ***14.*** Указать уровни сигналов на входах ПЗУ при считывании информации из пятнадцатой ячейки.

7 6 5 4 3 2 1 0

|  |  |  |  |
| --- | --- | --- | --- |
|  | А↑ 0 1 2 3 | PROM | D |
|  |
|  |
|  |
|  |
| & CS |
|  |
|  |
|  |
|  |

Входы: 76543210 **Ответ:** 11110011

На рисунке приведена функцио-нальная схема однократно про-

8 граммируемого ПЗУ объемом 16 байт. Адрес ячейки (от 0 до 15) задается уровнями сигналов на адресных входах ПЗУ. Для счи-тывания информации на двух нижних входах разрешения долж-ны быть логические единицы, на двух верхних — логические нули.

123

***Задача*** ***15.*** Какое число загорится на цифровом индикаторе?

DD1

=1

DD2

|  |  |  |
| --- | --- | --- |
| 1  2 | DC | 0 1 2 3 |

DD4 DD3 X/Y A

1 SM 8 B 1 4 C 2 2 D

2 4 1 E F G

7 HG1

7

**Ответ:** 3. Анализируя схему, расставим логические уровни на входах и выходах элементов. На входах дешифратора уровни сигналов не совпадают. Следовательно, активным может быть либо первый, либо второй выход DD2. Во всяком случае, не сов-падают и уровни сигналов на входах логического элемента DD1. Следовательно, на его прямом выходе — 1, инверсном — 0. При этом на всех выходах DD2, кроме первого, логические единицы.

На входы DD3 поданы сигналы, сумма которых 5 или 6. Так как в любом из этих случаев по цепи обратной связи на вход младшего разряда сумматора поступает 1, то S = 6 (логические единицы на выходах с весовыми коэффициентами 4 и 2). При этом на входах преобразователя DD4 логические уровни соответ-ствуют коду цифры 3, которая и загорится на цифровом индика-торе HG1.

***Задача*** ***16.*** Организуйте ОЗУ 2К·8 на микросхемах К541РУ2 (1К·4).

**Решение.** Для увеличения разрядности слов объединены все одноименные входы микросхем DD1, DD2 (и соответственно, DD3, DD4). При А10 = 0 выбирается верхнее ОЗУ 1К·8, при А10 = 1 — нижнее. Выходы микросхем связаны с восьмиразрядной двуна-правленной шиной DB.

124

DD2

5 DD1

A0-A9 10 A RAM ~~◊~~D

WЕ

4

4

A10 CS

DD4 8

DD3

RAM ◊A

D WЕ WЕ

4

4

1 CS

***Задача*** ***17.*** Какое число загорится на цифровом индикато-ре после поступления на вход предварительно сброшенного счет-чика ста импульсов?

G

Сброс

1

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  | | | |  | |
|  | C1 C2  & R  & S9 | CT10 1  2  4  8 |  |  | 1 DC A B  2 C D  4 E F  8 G |
|  |
|  |  | |
|  | | |

**Ответ:** 4. Микросхема (например, К155ИЕ2) работает как двоично-десятичный счетчик, считая в прямом направлении от нуля до девяти. Но из пятого состояния за счет обратных связей она перекидывается в девятое. Таким образом, в цикле реализу-ются состояния 9,0,1,2,3,4 и коэффициент пересчета счетчика ра-

125

вен 6. После 96 импульсов предварительно сброшенный счетчик будет находиться в нулевом состоянии, а еще через 4 импульса — в четвертом. Это число и загорится на индикаторе.

***Задача*** ***18.*** Определите коэффициент пересчета счетчика.

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | |  | | | | |  | | |
|  | R  –1 | CT2  DD1 | 1 2 4 8 ≤0 |  |  | R CT10 1 2 4 8  –1 DD2 |  |
|  | | |  | |
| G |  | |
|  | |  | |

**Ответ:** 33. Первый каскад вычитающего счетчика собран на четырехразрядном двоичном счетчике DD1 (например, К155ИЕ7), второй — на двоично-десятичном счетчике DD2 (К155ИЕ6). Проведем анализ работы устройства при поступлении импульсов на вход предварительно обнуленного счетчика. Пер-вый импульс, поступающий на счетный вход, повторяется на вы-ходе заема (≤0) DD1. По его положительному фронту микросхема DD1 переходит в 15-е состояние, микросхема DD2 — в 9-е. По-следующие 15 импульсов будут менять состояние DD1, не меняя режим DD2. По окончании 17-го импульса DD1 перейдет в 15-е состояние, DD2 — в восьмое. Еще через 16 импульсов DD2 пе-рейдет в седьмое состояние и появится логическая 1 на выходе 2, которая сбросит счетчик в нулевое состояние. Таким образом, ко-эффициент пересчета счетчика равен 33.

***Задача*** ***19.*** Спроектировать устройство, отображающее на цифровом индикаторе число деталей (от 0 до 9) в ячейке склада. Наличию детали соответствует разомкнутое состояние контакт-ного датчика, отсутствию — замкнутое.

126

S8 S9

S7

К555ИМ6 К514ИД1 АЛС324А

S1 S2 S3

S4 S5 S6

|  |  |  |
| --- | --- | --- |
| 1 | SM | 1 2 |

К555ИМ5

|  |  |  |  |
| --- | --- | --- | --- |
|  | 1 | SM | 1 2 |
|  |

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 1  2 | SM | 1  2  4 |  | |  | 1 SM  1 2 2  4 4 8  8 |  | 1 2 4 8 | DC A B C D E F G | |  | DPY LED |
|  |
|  |
|  |  |
|  |  | |  |
|  |
| К155ИМ2 | | | |
|  | |  |
|  | | | | | |  | |
|  | |

**Решение.** Наиболее просто задача решается с помощью сумматоров. Необходимо просуммировать с равным весом девять сигналов с датчиков S1–S9, для чего задействованы микросхемы одноразрядных (К555ИМ5), двухразрядных (К555ИМ2) и четы-рехразрядных (К555ИМ3) сумматоров. Суммарное число через дешифратор К514ИД1 (преобразует двоично-десятичный код в сигналы управления семью сегментами индикатора) поступает на цифровой светодиодный индикатор АЛС324А с объединенными катодами, которые заземляются. Все входы сумматоров, подклю-ченные к датчикам, надо для фиксации логической единицы под-ключить через резисторы к цепи +5 В.

***Задача*** ***20.*** Сформировать сигнал F, временная диаграмма которого для одного периода Т показана на рисунке.

**Решение.** Воспользуемся генератором импульсов G с вы-ходной частотой 1 кГц (t = 1 мс) и двоично-десятичным счетчи-ком, на выходе которого формируются сигналы A, B, C, D. Тогда задача сводится к проектированию комбинационной части уст-ройства, обозначенной на функциональной схеме вопроситель-ным знаком.

127

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
|  |  |  | t |  |  |

F

CT10 D

C G +1

8 A

4 B ? 2 C

1 D

B

A Т=10 мс

A

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 1 0 X 0 | | | | |
| 0 | | 1 X | 0 | |
|  | 1 | 1 X | X |  |
|  | | |
| 1 1 X X | | |
|  |  | | |  |
|  | | | |

D

C

B

|  |  |
| --- | --- |
| № | A B C D F |
| 0 1 2 3 4 5 6 7 8 9 | 0 0 0 0 1 0 0 0 1 0 0 0 1 0 1 0 0 1 1 1 0 1 0 0 0 0 1 0 1 1 0 1 1 0 1 0 1 1 1 1 1 0 0 0 0 1 0 0 1 0 |

Двоично-десятичный счетчик в течение каждого периода Т последовательно пробегает 10 состояний (с нулевого по девятое), каждому из которых соответствует четырехразрядный двоичный код сигналов A, B, C, D.

В общем случае логическая функция четырех переменных определена на 16 наборах входных переменных. В данном при-мере используются только 10. При минимизации булевой функ-ции она на этих наборах может доопределяться по собственно-му усмотрению. Организуя блоки по единицам (для этого случая блоки выделены на карте Карно), можем записать выражение для логической функции в виде *F* *C* *BD* *A*⋅*B*⋅*D*, которому со-ответствует вариант реализации устройства на микросхемах К155ЛР3 и К155ЛН1, показанный на рисунке.

128

A B D

1 & 1 1

1

& 1 F

C &

&

***Задача*** ***21****.* Построить временную диаграмму выходного напряжения.

|  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | | | | 1 | |  |  | | | | | |
|  | | | 0 1 2  3  1 2 | MS |  |
| 1 кГц | |  | |  | | |
|  | | | | |  |  | |
|  |  |
|  | CТ10  +1 | | 1 2 4 8 | |
|  |  |  |  |
|  | |  |
| G |  |  | | |
| Е |
|  | |  | | |

Выход *U*

**Решение.** Двоично-десятичный счетчик циклически пробе-гает 10 состояний (с нулевого по девятое), поэтому картинка вы-ходного напряжения периодически повторяется через 10 мс. В восьмом и девятом состояниях счетчика работа мультиплексора запрещена, на выходе *U* формируется уровень логического 0. В нулевом и первом состояниях счетчика нули на адресных входах мультиплексора обеспечивают прохождение на выход проинвер-тированного сигнала генератора G. Во втором и третьем состоя-ниях счетчика на выход проходит логическая 1 с выхода счетчи-ка, обозначенного меткой 2. В четвертом и пятом состояниях счетчика на выход проходит логическая 1 с выхода счетчика, обозначенного меткой 4. В шестом и седьмом состояниях счетчи-ка мультиплексор коммутирует на выход сигнал с выхода счет-чика, обозначенного меткой 1, где частота генератора делится на два.

129

*G*

0 0 1 1 2 2 3 3 4 4 5 5 6 6 7 7 8 8 9 9 *U*

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  |  |  |  |  |  |  |  |
| Т = 10 | | | | | | | |

***Задача*** ***22.*** Записать последовательность чисел, которые загораются в цикле на цифровом индикаторе.

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | | | |  | | | | | | | | |  | |  | | | | | | |  |
|  | =1 | |  |
|  | | | D C | | T |  | | |
|  |  | | | | =1 | |  |
|  | | |  | |  |  | |
|  |  |  | | | | |
|  | | |  |
|  | | | |  | | |  | | | | |
|  | | | | |
|  | | | | | | | |
| 1 Гц | | | |  | |  | | | | | | |  | | | | | | | |
|  |  |  | |  | | | | |  |  |  |  | |  | | | |
|  |  | D C | T |  | | |
|  |  |  |  | |
|  |  |
|  |  | |  | 8 4 2 1 | DC | | |
|  | | |  | |  | | |
|  | |  | | | |
| G | |  | |  | |  | D C | T |
|  | | |  |
|  |  | | | | |
|  | | | | |  | | | | | | | |
|  | | | | | |  | | |  | | | | | | | | | | | |

7

**Решение.** Обозначим сигналы на входах дешифратора до подачи активного фронта тактового импульса весовыми коэффи-циентами 4, 2 и 1, после подачи тактового импульса — 4+, 2+ и 1+. Тогда логика смены состояний счетчика описывается системой уравнений: 44⊕2; 22⊕1; 14.

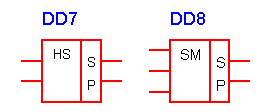
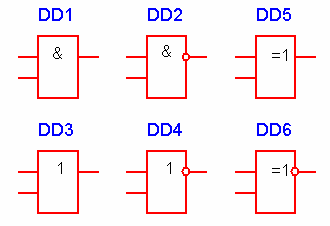
Зафиксируем таблицу переходов после подачи очередного активного фронта тактового импульса *n*, предположив, что в ис-ходном состоянии на индикаторе горит цифра *N* = 0.

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| *n* | 4 | 2 | 1 | *N* |
| 0 1 2 3 4 5 6 7 | 0 1 0 0 0 1 1 0 | 0 0 1 1 0 1 0 0 | 0 1 0 1 1 1 0 0 | 0 5 2 3 1 7 4 0 |

130

Анализ смены состояний показывает, что в цикле семь со-стояний (все кроме шестого). Из шестого состояния счетчик пе-реходит снова в шестое. Следовательно, у схемы два алгоритма работы. Если при включении или под действием помехи счетчик переходит в состояние 6, то оно в дальнейшем не меняется. Ина-че реализуется цикл, зафиксированный в ответе.

**Ответ:** 0523174

131

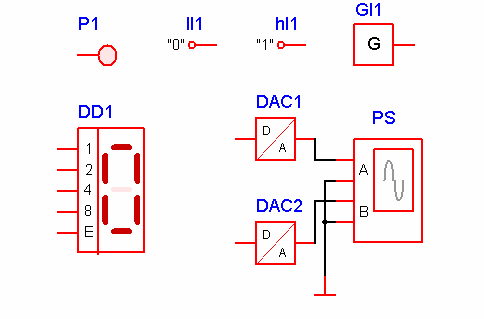
**9** **КОМПЬЮТЕРНЫЙ** **ПРАКТИКУМ** **ПО** **ЦИФРОВОЙ** **СХЕМОТЕХНИКЕ**

*Лабораторная* *работа* *№* *1*

**ИССЛЕДОВАНИЕ** **ЦИФРОВЫХ** **УСТРОЙСТВ** **КОМБИНАЦИОННОГО** **ТИПА**

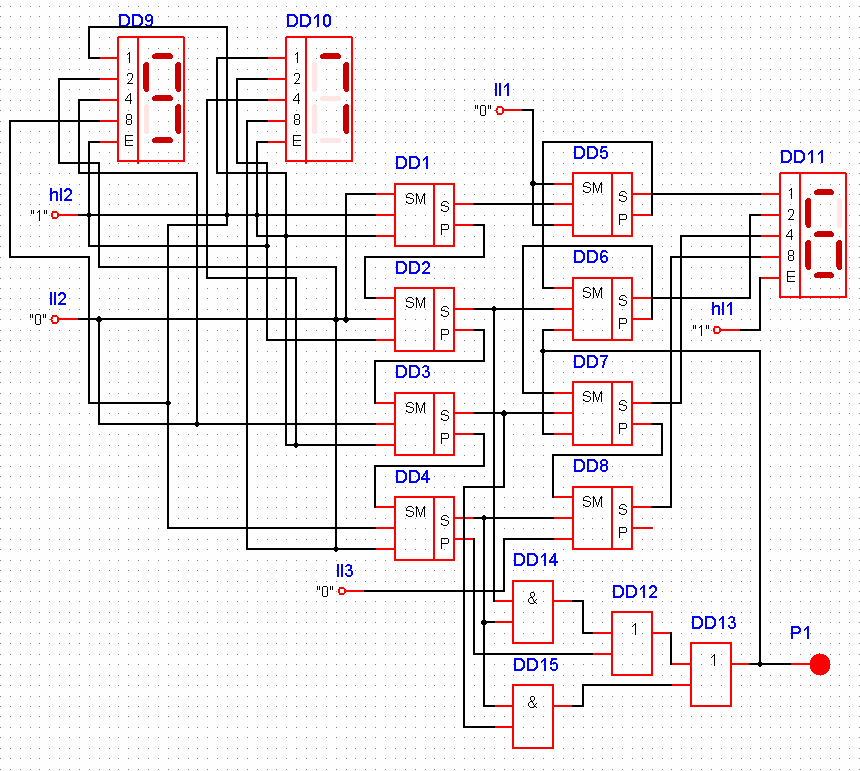
**Цель** **работы.** Цель лабораторной работы — приобретение навыков построения и испытания цифровых устройств комбина-ционного типа с использованием пакета ASIMEC. Программа моделирует лабораторный стол с наборным полем для макетиро-вания цифровых схем и необходимым комплектом контрольно-испытательной аппаратуры.

Рис. 1 — Цифровые компоненты

Рис. 2 — Средства отображения информации

132

Используемые в данной лабораторной работе цифровые компоненты (логические элементы, полусумматор, полный одно-разрядный сумматор) приведены на рис. 1. Генератор прямо-угольных импульсов, формирователи уровней логического 0 и 1, пробник, цифровой индикатор и двухлучевой осциллограф для отображения цифровых сигналов представлены на рис. 2.

Рис. 3 — Сумматор двоично-десятичных чисел

На рис. 3 приведена схема моделирования на ASIMEC сум-матора двоично-десятичных кодов чисел. Для сложения двух двоично-десятичных чисел можно использовать по одному четы-рехразрядному сумматору на каждую декаду. Однако после сум-мирования следует производить коррекцию. Если в какой-либо декаде происходит перенос или получается двоичное число, большее 9, необходимо добавлять к ней 6, чтобы компенсировать

133

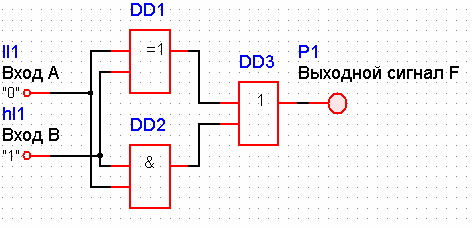
разницу в весах разрядов. Возникающая при этом единица пере-носа передается в следующую по старшинству декаду.

В данном примере при сложении кодов чисел 9 и 7 на выхо-дах DD1–DD4 сформировался двоичный код числа 16 (единица переноса в пятом разряде и нули на выходах первых четырех раз-рядов). Цепь коррекции (DD5–DD8, DD12–DD15) добавила число 6 к двоичной сумме чисел, и мы наблюдаем на индикаторах Р1 и DD11 правильный результат.

**Программа** **работы**

1. Исследовать работу цифрового индикатора, подавая раз-личные сочетания уровней цифровых сигналов на его входы. Ка-кой уровень разрешает его работу? В каком диапазоне меняются числа на индикаторе? Что будет, если хотя бы один вход оставить неподключенным?

2. Экспериментально снять таблицу истинности для устрой-ства, выполненного по схеме рис. 4, изменяя уровни сигналов на входах А и В. Записать логическую функцию F и показать воз-можность упрощения устройства.

Рис. 4 — Устройство на логических элементах

3. Реализовать на логических элементах полный однораз-рядный сумматор и убедиться в правильности его функциониро-вания. С использованием полных одноразрядных сумматоров по-строить сигнальное устройство, формирующее на выходе логиче-

134

скую 1, если на любые N входов из 7 поданы логические 1 (для восьмого варианта N = 0).

4. Спроектировать устройство на логических элементах по заданной таблице истинности и проверить его работу экспери-ментально. Номер варианта (функцию F1…F8) рассчитывают по обычной для ТМЦ ДО методике.

|  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| N | A | B | C | F1 | F2 | F3 | F4 | F5 | F6 | F7 | F8 |
| 0 1 2 3 4 5 6 7 | 0 0 0 0 1 1 1 1 | 0 0 1 1 0 0 1 1 | 0 1 0 1 0 1 0 1 | 1 0 1 1 0 1 0 1 | 0 0 1 1 1 0 1 0 | 1 0 0 1 0 1 0 0 | 0 1 1 1 0 0 1 0 | 1 1 1 0 0 1 0 1 | 0 0 0 1 1 1 0 1 | 1 0 0 0 0 0 1 0 | 0 1 0 0 1 0 0 1 |

Вариант 1 Вариант 2 Вариант 3 Вариант 4

DMS

2 0 1 1 2

E 3

Вариант 5

|  |  |
| --- | --- |
| 0 MS 1  2 3  2 1 |  |
|  |

4 / 4 /

= = A

A= B

4 / 4 /

= = A

A> B

|  |  |
| --- | --- |
| DС 0 1  4 2 2 3 1 4 5  6 7 |  |
|  |

Вариант 6

8

/ DI MS

4 2 1

3 / 3 /

Вариант 7

|  |  |
| --- | --- |
| SM 1 A 2  4 B 8 |  |
|  |

Вариант 8

4 / 4 /

|  |  |  |
| --- | --- | --- |
| A  B | = = | A< |

Рис. 5 — Варианты цифровых устройств

135

5. На заданной элементной базе построить комбинационное цифровое устройство (рис. 5). Собрать устройство на макетном поле. Разработать программу проведения эксперимента по его испытанию. Провести эксперимент и зафиксировать его резуль-таты.

6. Испытать счетный триггер, реализовав его на *D*-триггере с динамическим тактовым входом (рис. 6). Масштаб времени при моделировании в реальном времени принимается равным 1.

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | |  | | | | |  | |
|  |  |
|  | D C | T |  | |
| G |  | |  |  |  |
|  | |
|  | |  | | |
|  | | | | |

Рис. 6 — Счетный триггер Т

7. На четырех *Т*-триггерах построить четырехразрядный асинхронный двоичный счетчик, формирующий сигналы *A*, *B*, *C*, *D* при счете импульсов задающего генератора *G* (рис. 7), и прове-рить его работу с помощью осциллографа. Оценить частоту им-пульсов на выходах *G*, *A*, *B*, *C*, *D*.

CT2

G +1

1 2 4 8

*D* *C* *B* *A*

Комбинационное устройство

Рис. 7 — Функциональная схема проектируемого устройства

8. Спроектировать генератор импульсов по заданной вре-менной диаграмме его сигнала в течение периода на 16 тактах (рис. 8). Выбирается один из 10 вариантов исходных данных. Время одного такта — 1 мс.

136

D

C

B

A

N 0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15

|  |
| --- |
| Т = 16 мс |
|  |

1

2

3

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0 | 1 | 2 | 3 4 | 5 | 6 7 8 | 9 | 10 11 12 13 | 14 15 |

4

5

6

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0 | 1 | 2 | 3 4 | 5 | 6 | 7 8 | 9 | 10 | 11 | 12 13 14 15 |

7

8

9

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 0 | 1 | 2 3 | 4 | 5 6 7 | 8 | 9 10 11 12 | 13 | 14 | 15 |

10

Рис. 8 — Варианты заданий

Проектируемый генератор (рис. 7) содержит четырехраз-рядный двоичный счетчик с тактовым генератором *G* и комбина-ционное устройство, формирующее заданный сигнал из выход-ных сигналов счетчика *A*, *B*, *C*, *D*. Выходной сигнал генератора описывается логической функцией *F*.

9. По заданной временной диаграмме сигнала на выходе проектируемого генератора заполнить карту Карно и записать минимизированное выражение для булевой функции *F*, реали-зуемой комбинационной частью устройства.

137

10. Собрать полную схему генератора и проверить его рабо-ту, подключив осциллограф к выходу устройства. Соответствует ли полученная временная диаграмма выходного сигнала генера-тора заданной? Устранить ошибки в проектировании устройства, если выходной сигнал отличается от заданного.

**Контрольные** **вопросы**

Перечислить основные законы булевой алгебры. Какой за-кон описывает формула де Моргана?

С помощью диаграмм Венна доказать логическое тождество

*ab**a*⋅*b* *ab**ab*.

Дайте определение дешифратору, мультиплексору, сумма-тору, демультиплексору, цифровому компаратору.

С какой целью проводится минимизация логических функ-ций.

В чем вы видите достоинства представления чисел со зна-ком в дополнительном коде? Запишите результат сложения дополнительных кодов чисел плюс 80 и минус 33. Каждое число отображается байтом.

Какие коды может сравнивать цифровой компаратор? За-пишите возможные варианты функций сравнения.

Как построить восьмиразрядный цифровой компаратор из двух микросхем К555СП1?

**Содержание** **отчета**

Отчет в формате Word должен содержать схемы исследуе-мых узлов, основные экспериментальные данные (вставки из ASIMEC), выводы по пунктам программы работы, а также ответы на контрольные вопросы.

138

*Лабораторная* *работа* *№* *2*

**ИССЛЕДОВАНИЕ** **ЦИФРОВЫХ** **УСТРОЙСТВ** **ПОСЛЕДОВАТЕЛЬНОСТНОГО** **ТИПА**

**Цель** **работы.** Цель лабораторной работы — проектирова-ние и экспериментальная проверка работы синхронных счетчиков с заданной последовательностью смены состояний, а также ана-лиз работы счетчиков на регистрах сдвига. Используется модели-рующий пакет ASIMEC. Программа моделирует лабораторный стол с наборным полем для макетирования цифровых схем и не-обходимым комплектом контрольно-испытательной аппаратуры.

**Пример** **синтеза** **счетчика**

Пусть стоит задача спроектировать вычитающий двоичный счетчик с коэффициентом пересчета *К*сч = 6. Для фиксации шести состояний счетчика возьмем три тактируемых по положительно-му фронту *D*-триггера, объединенные входы синхронизации ко-торых будем использовать как счетный вход счетчика (рис. 1). Будем характеризовать состояние счетчика *N* трехразрядным дво-ичным словом *Q*3*Q*2*Q*1 (*N* должно циклически меняться от 5 до 0).

G

|  |
| --- |
| D T C |
| D T C |
| D T C |

*Q*1 *D*1

*Q*2 Логика *D*2 переходов

*Q*3 *D*3

Рис. 1 — Функциональная схема счетчика

Каждый импульс генератора *G* переписывает на выходы триггеров *Q*1, *Q*2, *Q*3 информацию с входов *D*1, *D*2, *D*3. Поэтому дальнейший синтез счетчика сводится к построению комбинаци-онной схемы (логики переходов), формирующей из выходных

139

сигналов *Q* уровни сигналов *D* на информационных входах триг-геров, необходимые для перехода в следующее состояние. Для этого составим таблицу переходов (табл. 1) и запишем логиче-ские выражения для сигналов *D*1, *D*2*,* *D*3 в ДНФ (дизъюнктивной нормальной форме):

*D* *Q*3 ⋅*Q*2 ⋅*Q* *Q*3 ⋅*Q*2 ⋅*Q* *Q*3 ⋅*Q*2 ⋅*Q* ; (1)

1 1 1 1

*D*2 *Q*3 ⋅*Q*2 ⋅*Q* *Q*3 ⋅*Q*2 ⋅*Q* ; (2)

1 1

*D*3 *Q*3 ⋅*Q*2 ⋅*Q* *Q*3 ⋅*Q*2 ⋅*Q* . (3)

1 1

Для минимизации логических функций можно воспользо-ваться основными законами булевой алгебры или картами Карно (рис. 2), причем в клетках, соответствующих шестому и седьмому состоянию счетчика, логические функции можно доопределять по собственному усмотрению, так как в схеме проектируемого счетчика они не реализуются.

По картам Карно запишем минимизированные выражения для функций *D*1 и *D*2

*D* *Q* ; (4) *D*2 *Q*3 ⋅*Q*1 *Q*2 ⋅*Q* . (5)

1 1

1

Выражение для *D*3 получим путем преобразования соотно-шения (3), так как карта Карно не позволяет провести эффектив-ную минимизацию этой функции

*D*3 *Q*2 ⋅*Q* ⊕*Q*3 . (6)

1

С учетом соотношений (4), (5) и (6) построена схема экспе-римента по изучению работы счетчика (рис. 3). Счетные импуль-сы снимаются с выхода тактового генератора G. Индикация со-стояний счетчика производится с помощью элемента DD9, вы-полняющего функцию преобразования четырехразрядного дво-

140

ичного числа в его шестнадцатеричный эквивалент на семисег-ментном индикаторе. Удобно выбрать частоту генератора равной 1 Гц.

Таблица 1

***D*1** *Q*3 ***D*2** *Q*3 ***D*3** *Q*3

|  |  |  |  |
| --- | --- | --- | --- |
| Текущее состояние счетчика *N* | | Последующее состояние счетчика *N+* | |
| *N* | *Q*3 *Q*2 *Q*1 | *N+* | *D*3 *D*2 *D*1 |
| 5 4 3 2 1 0 | 1 0 1 1 0 0 0 1 1 0 1 0 0 0 1 0 0 0 | 4 3 2 1 0 5 | 1 0 0 0 1 1 0 1 0 0 0 1 0 0 0 1 0 1 |

*Q*1 *Q*1 *Q*1

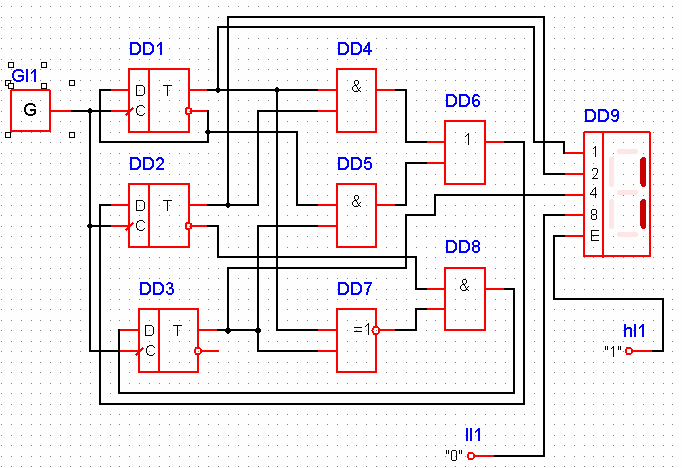
|  |  |  |  |
| --- | --- | --- | --- |
| 1 | 1 | X | 1 |
| 0 | 0 | X | 0 |

|  |  |  |  |
| --- | --- | --- | --- |
| 0 | 0 | X | 1 |
| 0 | 1 | X | 0 |

|  |  |  |  |
| --- | --- | --- | --- |
| 1 | 0 | X | 0 |
| 0 | 0 | X | 1 |

*Q*2 *Q*2 *Q*2

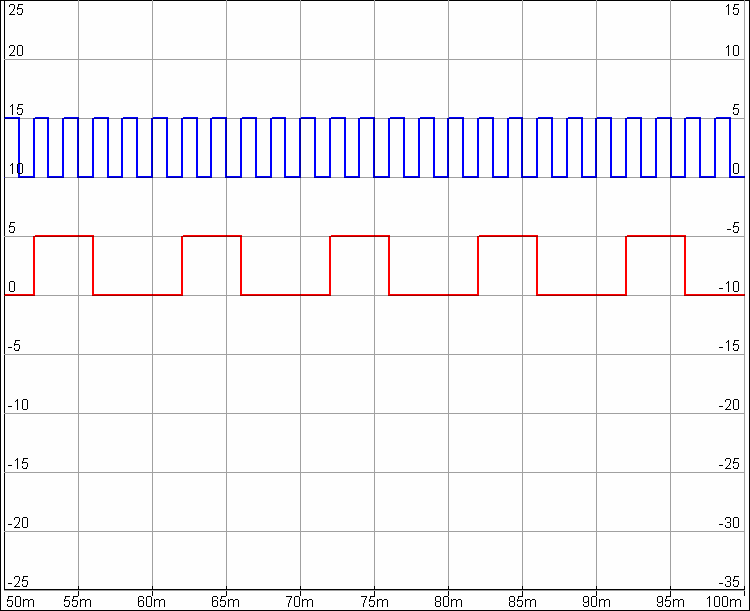
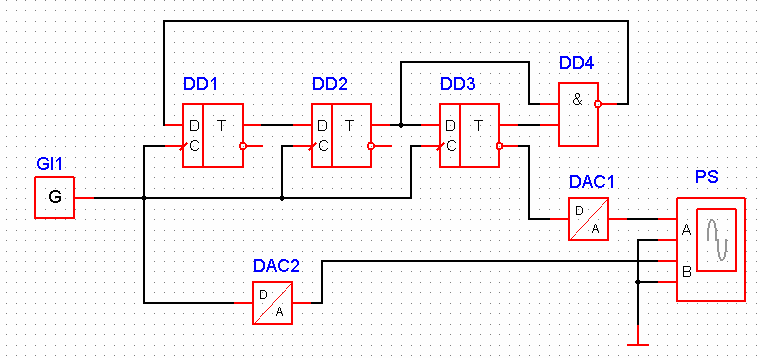
Рис. 2 — Карты Карно для функций *D*1, *D*2, *D*3

Рис. 3 — Синхронный вычитающий счетчик с Ксч = 6

141

**Пример** **оформления** **результатов** **моделирования**

Ниже приведены экспериментальная схема и временные диаграммы выходного сигнала (вход А осциллографа) и сигнала генератора (вход В осциллографа).



142

**Программа** **работы**

1. Рассчитав вариант индивидуального задания (число *N* от 1 до 28), спроектировать синхронный счетчик с четырьмя вы-ходами, циклически изменяющий свои состояния в соответствии с табл. 2 (Ксч = 9). Проверить работу счетчика, зафиксировав по-следовательность смены состояний с помощью цифрового инди-катора. Период колебаний генератора G выбрать равным 1 с.

Таблица 2

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Вариант | Состояния счетчика | | | | | | | | |
| 1 | 0 | 1 | 3 | 4 | 5 | 15 | 14 | 13 | 12 |
| 2 | 0 | 1 | 4 | 5 | 6 | 7 | 8 | 10 | 14 |
| 3 | 0 | 2 | 5 | 10 | 11 | 12 | 9 | 8 | 7 |
| 4 | 0 | 2 | 6 | 7 | 8 | 9 | 5 | 4 | 3 |
| 5 | 0 | 3 | 1 | 5 | 7 | 9 | 8 | 6 | 4 |
| 6 | 0 | 3 | 2 | 1 | 4 | 5 | 6 | 7 | 8 |
| 7 | 0 | 4 | 1 | 2 | 3 | 9 | 8 | 7 | 6 |
| 8 | 0 | 4 | 2 | 1 | 9 | 8 | 7 | 6 | 5 |
| 9 | 0 | 5 | 3 | 2 | 1 | 5 | 6 | 7 | 9 |
| 10 | 0 | 5 | 4 | 3 | 2 | 1 | 12 | 13 | 14 |
| 11 | 0 | 6 | 3 | 15 | 1 | 7 | 2 | 4 | 8 |
| 12 | 0 | 6 | 4 | 14 | 2 | 5 | 3 | 7 | 8 |
| 13 | 0 | 7 | 5 | 13 | 3 | 4 | 6 | 8 | 9 |
| 14 | 0 | 7 | 6 | 12 | 4 | 3 | 7 | 8 | 9 |
| 15 | 0 | 8 | 1 | 11 | 5 | 2 | 7 | 9 | 3 |
| 16 | 0 | 8 | 2 | 10 | 6 | 1 | 7 | 9 | 3 |
| 17 | 0 | 9 | 3 | 8 | 7 | 13 | 5 | 4 | 2 |
| 18 | 0 | 9 | 4 | 7 | 8 | 10 | 5 | 3 | 2 |
| 19 | 0 | 10 | 5 | 6 | 9 | 7 | 8 | 3 | 1 |
| 20 | 0 | 10 | 6 | 5 | 11 | 8 | 7 | 3 | 2 |
| 21 | 0 | 11 | 7 | 4 | 12 | 9 | 5 | 2 | 1 |
| 22 | 0 | 11 | 8 | 3 | 13 | 10 | 5 | 1 | 2 |
| 23 | 0 | 12 | 1 | 3 | 5 | 7 | 9 | 11 | 15 |
| 24 | 0 | 12 | 2 | 4 | 6 | 8 | 10 | 7 | 9 |
| 25 | 0 | 13 | 3 | 4 | 6 | 7 | 9 | 2 | 10 |
| 26 | 0 | 13 | 4 | 7 | 9 | 2 | 3 | 5 | 8 |
| 27 | 0 | 14 | 5 | 7 | 9 | 8 | 6 | 4 | 2 |
| 28 | 0 | 14 | 12 | 10 | 8 | 6 | 7 | 3 | 5 |

143

2. Собрать схему счетчика на регистре сдвига в соответст-вии со своим вариантом (рис. 4). К выходам устройства подклю-чить цифровой индикатор и осциллограф. Зафиксировать в отчете последовательность смены состояний счетчика и временные диа-граммы выходных сигналов при подключении ко входу генерато-ра тактовых импульсов. Объяснить наблюдаемые результаты ра-боты устройства.

Вариант 1 Вариант 2

G

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | DR RG 1 2 3  C 4 |  | & |  |
|  |
|  |
|  |
|  | | |
|  |

G

|  |  |  |
| --- | --- | --- |
| DR RG 1 2 3  C 4 |  | 1 |
|  |
|  | |

Вариант 3 Вариант 4

G DR RG 1 1 2

3 C 4

G DR RG 1 & 2

3 C 4

Вариант 5 Вариант 6

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | | DR RG 1 2 3  C 4 |  | |
|  | = 1 |
| G |  |
|  |  |

DR RG

G C

1 2

3 = 1 4

Вариант 7 Вариант 8

DR RG

G C

1 2 3 4

DR RG

= 1

G C

1 2

3 & 4

Рис. 4 — Варианты построения счетчиков на регистре сдвига

144

**Контрольные** **вопросы**

Дайте классификацию триггерных устройств.

В чем отличие триггеров со статическим и динамическим тактовым входами?

Перечислите известные Вам области применения регистров памяти и сдвига.

Приведите классификацию счетчиков.

В чем отличие кольцевого счетчика и счетчика Джонсона? Приведите классификацию запоминающих устройств.

**Содержание** **отчета**

Отчет в формате Word должен содержать результаты проек-тирования (таблицу переходов, логические функции до и после минимизации), схемы исследуемых узлов, основные эксперимен-тальные данные (вставки из ASIMEC), выводы по пунктам про-граммы работы, а также ответы на контрольные вопросы.

145

**10** **ВАРИАНТЫ** **ТВОРЧЕСКИХ** **ЗАДАНИЙ**

1. Должен загореться светодиод, если число оборотов двига-теля в минуту превышает 3000.

2. Должен зазвенеть звонок, если скорость автомобиля, про-езжающего контрольный участок, больше 100 км/час.

3. Спроектировать электронный таймер, включающий на-гревательную печь на время до 60 минут. Управление от трех кнопок.

4. Спроектировать измеритель частоты сети с точностью до десятых долей герца.

5. Спроектировать цифровой частотомер (от 1 до 1000 кГц). 6. Спроектировать регулятор температуры. Переменное на-

пряжение на спираль нагревателя подается через тиристор. Число полупериодов сетевого напряжения в секунду, в течение которых на тиристор подается отпирающий сигнал, задается программ-ным переключателем.

7. Спроектировать многоканальное контролирующее уст-ройство. С помощью светодиодов фиксировать превышение лю-бым из 16 датчиков уровня напряжения, задаваемого программ-ным переключателем.

8. Спроектировать устройство циклического опроса показа-ний 16 датчиков (сигнал от 0 до 1 В) с выдачей информации о на-пряжении произвольного датчика (число от 00 до 99) на цифро-вое устройство индикации. Номер датчика устанавливается про-граммным переключателем.

9. Спроектировать шахматные электронные часы. Время иг-ры устанавливается от 3 до 9 минут.

10. Спроектировать цифровой измеритель частоты пульса человека.

11. Спроектировать устройство, при нажатии кнопки пере-дающее два байта данных удаленному приемнику с помощью трехпроводной линии связи.

12. Должен зазвенеть звонок, если скорость автомобиля, проезжающего контрольный участок, больше 150 км/час.

13. Спроектировать генератор пачек импульсов (в пачке 10 импульсов с частотой 1 кГц). Частота пачек в герцах должна со-

146

ответствовать числу (от 1 до 10), набираемому на программном переключателе.

14. На линейке из восьми светодиодов получить световой эффект для управления елочной гирляндой. Елочка поcледова-тельно заполняется огнями, горит, затем поморгает и гаснет. Скорость эффекта регулируется программным переключателем.

15. Частота импульсов на выходе генератора в герцах от 1 до 99 должна быть равна числу на программном переключателе.

16. Спроектировать устройство для передачи 8-разрядного со-общения по трехпроводной линии связи с контролем по четности.

17. Число импульсов в пачке на выходе генератора и частота пачек в герцах от 1 до 9 должны задаваться программным пере-ключателем. Частота импульсов в пачке — 1 кГц.

18. Должен загореться светодиод, если число оборотов дви-гателя в минуту превышает 2000.

19. Число импульсов в пачке от 1 до 9 на выходе генератора и частота пачек в герцах от 1 до 99 должны задаваться программ-ным переключателем. Частота импульсов в пачке — 10 кГц.

20. Спроектировать многоканальное контролирующее уст-ройство. С помощью светодиодов фиксировать превышение лю-бым из 8 датчиков уровня напряжения, задаваемого программ-ным переключателем.

21. Спроектировать шахматные электронные часы. Время игры устанавливается 5 минут.

22. Спроектировать электронный таймер, включающий на-гревательную печь на время до 99 минут. Управление от трех кнопок.

23. Спроектировать генератор пачек импульсов, следующих с частотой 1 Гц. Частота импульсов в пачке 1 кГц, число импуль-сов в пачке (от 1 до 99) задается программным переключателем.

147

**11** **ПРИМЕР** **ВЫПОЛНЕНИЯ** **ТВОРЧЕСКОГО** **ЗАДАНИЯ**

**Задание.** Спроектировать интегратор сигнала ошибки, фор-мирующий 12-разрядный код управления *N*у при подаче на его входы 12-разрядного кода задатчика *N*з и 12-разрядного кода сиг-нала обратной связи *N*ос (рис. 11.1).

Код управления

|  |  |
| --- | --- |
| Код задатчика | |
| *N*з 12 /  *N*ос 12 / | Цифровой интегратор сигнала ошибки |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | | *N*у 12 / | Объект управления | |
|  | |
|  | | Датчик состояния объекта |
|  | Сигнал обратной связи |
|  | | | |

Рис. 11.1

**Решение.** Структурная схема цифрового интегратора показа-на на рис. 11.2. Схема вычитания формирует модуль и знак сиг-нала ошибки. Частота импульсов на выходе преобразователя код-частота пропорциональна модулю сигнала ошибки и зависит от частоты тактового генератора *G*. Собственно интегратор выпол-нен на реверсивном двоичном счетчике. Направление интегриро-вания зависит от знака сигнала ошибки, скорость — от модуля сигнала ошибки. При совпадении кодов задатчика и сигнала об-ратной связи счет прекращается. На выходе реверсивного счет-чика формируется код управления *N*у.

Формирователь модуля и знака сигнала ошибки

Преобразователь код-частота

Реверсивный счетчик

Рис. 11.2

Функциональная схема проектируемого устройства приве-дена на рис. 11.3. На входы 12-разрядного сумматора подаются код задатчика *N*з и инверсный код сигнала обратной связи. При

148

Формирователь модуля и знака сигнала ошибки

Преобразователь код/частота

G T CT2

P SM

S

*N*з 12 A

*N*=*N*з–*N*ос

12 =1 12 N

К155 ИЕ8

f *N*

\*

212

*N*ос 12

B P

Sign(*N*з-*N*ос)

1

A (–1) &

&

B (+1)

Реверсивный счетчик с фиксаторами максимального и минимального кода

FFFH D CT2 20 12

C *N*у

R 211

A –1 ≤0 1

В +1 ≥212–1

Рис. 11.3

*N*з > *N*ос формируется единичный сигнал переноса *Р*, элементы «Исключающее ИЛИ» работают как повторители и *N* *S* 1, где *S* *N*ç*N*î c. Сигнал с частотой f⋅*N*/212 поступает на суммирую-щий вход счетчика и выходной код *N*у растет. Исполнительный орган системы автоматического управления вызывает рост регу-лируемой величины, и растет сигнал обратной связи, пока не бу-дет выполнено условие *N*з = *N*ос. Если счетчик достиг макси-мального состояния *N*у = 4095 (единицы во всех 12 разрядах), а на суммирующий вход продолжают поступать счетные импуль-

149

сы, в счетчике принудительно фиксируется *N*у = 4095 (сигнал пе-реноса загружает в него число FFFH со входов предустановки).

При *N*з ≤ *N*ос логические элементы «Исключающее ИЛИ» работают как инверторы (*Р* = 0) и *N* *S*. Импульсы поступают на вычитающий вход реверсивного счетчика, вызывая уменьше-ние *N*у и регулируемой величины. Если счетчик достигает мини-мального кода *N*у = 0, а на вычитающий вход продолжают посту-пать счетные импульсы, сигнал заема (≤0) принудительно сбра-сывает счетчик в нуль. Изменение частоты *f* эквивалентно изме-нению постоянной времени интегратора. Уменьшением *f* можно добиться устойчивости замкнутой системы автоматического ре-гулирования.

150

**СПИСОК** **ЛИТЕРАТУРЫ**

1. Аванесян Г.Р., Левшин В.П. Интегральные микросхемы ТТЛ, ТТЛШ: Справочник. — М.: Машиностроение, 1993. — 256 с.

2. Бирюков С.А. Применение цифровых микросхем серий ТТЛ и КМОП. — М.: ДМК, 2000. — 240 с.

3. Браммер Ю.А., Пащук И.Н. Импульсные и цифровые уст-ройства: Учеб. для студентов электрорадиоприборостроительных сред. cпец. заведений — 6-е изд., перераб. и доп. — М.: Высш. шк., 1999. — 351 с.

4. Вениаминов В.Н., Лебедев О.Н., Мирошниченко А.И. Микросхемы и их применение: Справ. пособие. — 3-е изд., пере-раб. и доп. — М.: Радио и связь, 1989. — 240 с.

5. Денисов Н.П., Шарапов А.В., Шибаев А.А. Электроника и схемотехника. Учебное пособие: в двух частях. — Томск, ТМЦДО, 2002. — Ч. 1. — 234 с.

6. Зельдин Е.А. Цифровые интегральные микросхемы в ин-формационно-измерительной аппаратуре. — Л.: Энергоатомиз-дат. Ленингр. отделение, 1986. — 280 с.

7. Калабеков Б.А. Цифровые устройства и микропроцессор-ные устройства: Учебн. для техникумов связи. — М.: Горячая ли-ния — Телеком, 2000. — 336 с.

8. Микросхемы и их применение: Справ. пособие — 3-е изд., перераб. и доп. — М.: Радио и связь, 1989. — 240 с.

9. Овчаренко Н.И. Аналоговые и цифровые элементы ав-томатических устройств энергосистем. — М.: Энергоатомиздат, 1989. — 320 с.

10. Партала О.Н. Цифровая электроника. — СПб.: Наука и техника, 2000. — 208 с.

11. Потехин В.А. Цифровые устройства и микропроцессоры. Часть 1: Учебное пособие. — Томск: ТМЦДО, 2002. — 263 с.

12. Пухальский Г.И., Новосельцева Т.Я. Проектирование дискретных устройств на интегральных микросхемах: Справоч-ник. — М.: Радио и связь, 1990. — 304 с.

13. Сергеев Н.П., Вашкевич Н.П. Основы вычислительной техники: Учебн. пособие для вузов. — М.: Высш. шк., 1988. — 311 с.

14. Справочник по интегральным микросхемам / Б.В. Та-рабрин, С.В. Якубовский и др. — М.: Энергия, 1980. — 816 с.

151

15. Титце У., Шенк К. Полупроводниковая схемотехника: Справочное руководство / Пер. с нем. — М.: Мир, 1982. — 512 с.

16. Хоровиц П., Хилл У. Искусство схемотехники: Пер. с англ. —6-е. изд. — М.: Мир, 2001. — 704 с.

17. Цифровые интегральные микросхемы: Справочник / Мальцев П.П., Долидзе Н.С., Критенко М.И. и др. — М.: Радио и связь, 1994. — 240 с.

18. Цифровые интегральные микросхемы: Cправочник / М.И. Богданович и др. — Минск.: Беларусь, 1991 — 493. с.

19. Цифровые и интегральные микросхемы: Справочник / С.В. Якубовский, Л.И. Ниссельсон, В.И. Кулешова и др.; Под ред. С.В. Якубовского. — М.: Радио и связь, 1990. — 496 с.

20. Шарапов А.В. Цифровые и микропроцессорные устрой-ства: Учебное пособие. — Томск: Томский государственный университет систем управления и радиоэлектроники, 1999. — 161 с.

21. Шило В.Л. Популярные цифровые микросхемы: Спра-вочник. — М.: Металлургия, 1988. — 352 с.

22. Эвреинов Э.В., Бутыльский Ю.Б., Мамзелев И.А Цифро-вая и вычислительная техника: Учебник для вузов. — М.: Радио и связь, 1991. — 464 с.

23. Янсен Й. Курс цифровой электроники: Сложные ИС для устройства передачи данных: Пер. с голл. В трех т. — М.: Мир, 1987. — 412 с.

152

1

9

|  |  |  |
| --- | --- | --- |
| 2 | & | 3 |
| 6 |
| 4 |
| & |
| 5 |
| 8 |
| 10 |
| & |
| 12  13 | 11 |
| & |
|  |

1

**ПРИЛОЖЕНИЕ**

**Условные** **графические** **обозначения** **микросхем**

К555ЛА1 К555ЛА2 К555ЛА3 К555ЛА4 К555ЛА6

1 & 12

1

|  |  |  |
| --- | --- | --- |
| 2 | & | 8 |
| 3 |
| 4 |
| 5 |
|  |
| 6 |
| 11 |
| 12 |
|  |

2

9

|  |  |  |
| --- | --- | --- |
| 1  4 | & | 6 |
| 8 |
| 5 |
| 10 |
| & |
| 12 |
|  |
| 13 |
|  |

1

9

|  |  |  |
| --- | --- | --- |
| 2 | & | 3 |
| 6 |
| 4 |
| & |
| 5 |
| 8 |
| 10 |
| & |
| 12  13 | 11 |
| & |
|  |

1

9

|  |  |  |
| --- | --- | --- |
| 2 | & | 6 |
| 4 |
| 8 |
| 5 |
| 10 |
| & |
| 12 |
|  |
| 13 |
|  |

2

10

4

13

3 & 6 5

9 &

11

8

К555ЛА7

1

10

|  |  |  |
| --- | --- | --- |
| 2 | & | 6 |
| 4 |
| 8 |
| 5 |
| 9  12 |
| & |
|  |
| 13 |
|  |

К555ЛА9 К555ЛА11

2 & 3 4 & 6

5

9

1

10 & 8 13 & 11

12

К555ЛА10

2 & 12

9

4

1

13

3 & 6 5

10 & 8

11

К555ЛА12

1 & 3

2

5

9

13

4 & 6

10 & 8

12 & 11

К555ЛА13

1 & 3

2

5

9

13

4 & 6

10 & 8

12 & 11

К555ЛЕ1 К555ЛЕ4 К555ЛИ1 К555ЛИ2

2 1 12

2

|  |  |  |
| --- | --- | --- |
| 3 | 1 | 1 |
| 4 |
| 5 |
| 1 |
| 6 |
| 10 |
| 8  9  11  12 |
| 1 |
| 13 |
| 1 |
|  |

1

10

4

13

3 1 6 5

9 1 8

11

2 & 3

5 & 6

4

9

10 & 8

13 & 11

12

К555ЛИ3 К555ЛИ4 К555ЛИ6 К555ЛЛ1

2 & 12

2

9

12

|  |  |  |
| --- | --- | --- |
| 1  4 | & | 6 |
| 8 |
| 5 |
| 10 |
| & |
| 13 |
|  |
|  |

1

9

|  |  |  |
| --- | --- | --- |
| 2 | 1 | 3 |
| 6 |
| 4 |
| 1 |
| 5 |
| 8 |
| 10 |
| 1 |
| 12  13 | 11 |
| 1 |
|  |

2

9

|  |  |  |
| --- | --- | --- |
| 1  13 | & | 12 |
| 6 |
| 3 |
| & |
| 4 |
| 5 | 8 |
| 10 |
| & |
| 11 |
|  |

1

10

4

13

3 & 6 5

9 & 8 11

153

2

10

|  |  |  |  |
| --- | --- | --- | --- |
| 1  3 | &  & | 1 | 8 |
| 4 |
| 11 |
|  |
| 12 |
| 13 |
|  |

К555ЛН1 К555ЛН2 К555ЛР4 К555ЛР11 К555ЛР13

|  |  |  |
| --- | --- | --- |
| 1  3  5  9  11  13 | 1 | 2 |
| 4 |
| 1 |
| 6 |
| 1 |
| 8 |
| 1 |
| 10 |
| 1 |
| 12 |
| 1 |
|  |  |

|  |  |  |
| --- | --- | --- |
| 1  3  5  9  11  13 | 1  1  1 | 2 |
| 4 |
| 6 |
| 8 |
| 1 1  1 |
| 10 |
| 12 |
|  |  |

1 & 12

11

2

13

9

&

10

3 &

5 &

4

8

6

2 & 1 3 &

1

&

9

4

5 6

10 &

11 12 13

К555ЛП5

1 **=** 1 3

2

5

9

11

**=** 1

4 **=** 1 6

10 **=** 1 8

12

13

К555ЛП3

1 2 12 13

2

10

4

3 2 6 5

9 2 8 11

К555ЛП8 К555ЛП12

1 D 3

1

9

|  |  |  |
| --- | --- | --- |
| 2 | **=**1 | 3 |
| 6 |
| 4 |
| **=**1 |
| 5 |
| 8 |
| 10 |
| **=**1 |
| 11 |
| 12  13 |
| **=**1 |
|  |

8

E

D

E

4

2

5 D 6

E

9

10 E

13 D 11

12

К555ТЛ2

|  |  |  |
| --- | --- | --- |
| 1  3  5  9  11  13 | 1 1  1 | 2 |
| 4 |
| 6 |
| 8 |
| 1 1  1 |
| 10 |
| 12 |
|  |  |

К555КП2 К555КП7 К555КП15

6

4 D1.0 10 D3.0 12 D1.1 D3.1

D0.0

5

3

13

15

11

D2.1

D0.1

D2.0

1

14 SED

2 2

1 E.0

E.1

MS 3 D0 MS

2

15

13

9

D7

D3

D5

D1

1

4

1 D2

D.0 7 14 D4 5 D.1 9 12 D6 6

11 SED

10 2

4 7 E

4 D0 MS 2 D2

3

1

15

13

9

D7

D3

D5

D1

1

14 D4 5 12 D6 6

11 SED

10 2

4 7 E

154

D0.0

2

D0.3

D0.2

D0.1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 3 | D1.0  D1.1  D1.2  D1.3 | MS | D.0 D.1  D.2 D.3 | 4 |
| 5 |
| 6 |
| 11 | 7 |
| 10 |
| 14 | 9 |
| 13 |
| 1  15 | 12 |
| SED 1 |
|  |
| E |
|  |

D0.0

3

D0.3

D0.2

D0.1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 2 | D1.0  D1.1  D1.2  D1.3 | MS RG | Q.0 Q.1  Q.2 Q.3 | 15 |
| 4 | 14 |
| 1 |
| 9 | 13 |
| 5 |
| 7 | 12 |
| 6 |
|  |
| 14  15 |
| SED 1 |
| C |
|  |

D0.0

2

D0.3

D0.2

D0.1

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 3 | D1.0  D1.1  D1.2  D1.3 | MS | D.0 D.1  D.2 D.3 | 4 |
| 5 | 7 |
| 6 |
| 11 | 9 |
| 10 |
| 14 | 12 |
| 13 |
|  |
| 1  15 |
| SED 1 |
| E |
|  |

К555КП13 К555КП11 К555КП14

К555КП12 К555КП17

6

4 D1.0 10 D3.0

D0.0

5

3

12

15

11

D3.1

D0.1

D2.0

1

D1.1 13 D2.1

14 SED

2 2

1 E .0 E .1

MS К555КП16

3 D0.0 MS 4 D.0 7 6 D0.1 D.1 7

5

11

14

D1.3

D1.1

D0.2

D1.0

D.0

1

2

D.1 9 10 D1.2 D.2 9 13 D0.3 D.3 12

1 SED

15 E

6

D0.0

5

3

12

15

11

D3.1

D0.1

D2.0

1

4 D1.0 10 D3.0

D1.1 13 D2.1

14 SED

2 2

1 E .0 E .1

MS

D.0 7

D.1 9

К555ИВ3 К555ИД4

11

13 2 4

1

12

1

2

4

5

3

8

3 6

5 7 10 9

CD

1

2 4 8

9 7

16

14

13

0.0

9

11

7

5

0.1

2.0

A1

1

15

3

A2

14 &E.0

2 &E.1

DMX 1.0

3.0

1.1 2.1 3.1

10

12

6

4

155

К555ИД6 К555ИД7

2

4

14

0

1

3

5

7

6

4

2

4

13

10

8

15

12

DC

1 2

8

1 2 3 4 *5* 6 7 9

9 11

2 1 DMX

1

3 4

5 &E

6

0 1 2 3 4 5 6 7

15 14 13 12 11 10 9 7

К555ИД5 К555ИД10

0

1

3

5

7

4

2

4

13

10

8

13 A1 DMX A2

0.0

9

11

7

5

0.1

2.0

1

14

3

15 &E.0

2 &E.1

1.0

3.0

1.1 2.1 3.1

10

12 14

15

6 12

4

DC

1

1 3 2 5 8 6 7

9

2

4

6

9

11

22

19

0

1

3

5

7

6

4

2

A4

21

9

8

11

10

14

14

23

20

18

К555ИД19

DMX

1

A1 3 A2 5 A8 7

9

11 12 13

&E 15

2

4

6

8

10

12

13

15 16

К555ТР2

1

|  |  |  |
| --- | --- | --- |
| R  S1 S2 | T  Q | 4 |
| 7 |
| R S  R  S1 S2 | T  Q  T  Q |
| 9 |
| 13 |
| R S | T  Q |
|  |

2

3

5

6

10

11

12

14

15

К555ТВ9

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 3  1 | J1 C1  K1 | T | Q1  Q1 | 5 |
| 6 |
| 2  4 |
| S1 R1 |
| 15 |
| 9 |
| 11  13 |
| J2 K2 C2 | T | Q2  Q2 |
| 7 |
| 12  10 |
| S2 R2 |
| 14 |
|  |
|  |

156

К555ТВ6

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 1  4  12 | J1 K1  C1 | T | Q1 | 3 |
| 2 |
| 13 |
| R1 | 5 |
| 8  9  11 |
| J2 K2  C2 | T | Q2 |
| 6 |
| 10 |
| R2 |  |
|  |

К555ТМ7

К555ТМ2

|  |  |  |  |
| --- | --- | --- | --- |
| 1 | R | T | 5 |
| 2  3  4 |
| D C | 6 |
| 9 |
| S |
| 13 |
| R | T |
| 12  11  10 |
| D C | 8 |
|  |
| S |
|  |

К555ТМ8

2 D1 T 13 C1

3 D2

C2 6 D3 4 C3 7 D4

C4

16 Q1 1

13 Q2 14

10 Q3 11

9 Q4 8

4 D1 T

5 D2 12 D3 13 D4

9 C 1 R

2 Q1 3

7 Q2 6

10 Q3 11

15 Q4 14

К555ТМ9

3 D1 T Q1

Q4

4

6

13

D4

D5

D2

11 D3 Q2 14 D6 Q3

9 C Q5

1 R Q6

2 5 7 10 12

15

К555ИР8

8 C RG 2 9 R 3

1

4

5

1 & 6

2 DR 7 8

3 4 5 6 10 11 12

13

2 15 1

0

13

3

5

6

4

2

12

11

14

4

6

10

К555ИР9

1 RG C

L

1 9 3 7

5

7

DR

157

9 1 15

1

0

12

2

4

7

3

5

1

R

3

5

11

14

7 6

К555ИР10

DR RG EL

0

2

4

6 Q7

1 C

К555ИР11А

11 C RG 1 R

3

5

6

C

D

A

S

R

2 DR QA

4 B QB

QC 13 7 DL QD

9

10 SL

15 14 13 12

К555ИР15

|  |  |  |  |
| --- | --- | --- | --- |
| 1 | &  E | RG | Q1 Q2 Q3 Q4 |
| 2 9 10 15  7  14  13 12 11 |
| &  EWR |
| R |
| C |
| D1 D2 D3  D4 |

3 4 5

6

К555ИР16 К555ИР22

9 С RG

8 EO

1 DR

6 EL 2 D0

3 D1

4 D2

5 D3

Q0 Q1 Q2

Q3

13 12 11

10

1 EO RG

5

9

15

Q7

D1

4

8

17

D7

D5

D

3

11 C

3

7 D2

13 D4

14 D6

18 D8

Q1 2

Q2

Q3 6

Q4

Q5 12 Q6 16 Q8 19

К555ИР23 1 EO RG

5

9

15

Q7

D1

4

8

17

D7

D5

D

3

11 C

3

7 D2

15 D4

14 D6

18 D8

Q1 2

Q2

Q3 6

Q4

Q5 12 Q6 16 Q8 19

К555ИР27

4 D2 RG 8 D4

D1

7

13

17

D7

D5

D3

5

9

15

Q7

3

14 D6 18 D8

11 C

1 EL

Q1 2

Q2

Q3 6

Q4

Q5 12 Q6 16 Q8 19

158

К555ИЕ2 14

1

|  |  |  |  |
| --- | --- | --- | --- |
| C1 C2  & R  & R9 | СТ10 | 1  2 4 8 | 12 |
| 9 |
| 8 |
| 11 |
|  |

2

3

6 7

К555ИЕ5

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 14  1  2  3 | C1  C2 | СТ2 | 1  2 4 8 | 12 |
| 9 |
| 8 |
| & R |
| 11 |
|  |
|  |

5 4

9

1

4

1

11

15

10

14

К555ИЕ6

+1 СТ10 1 3

–1 2 2

L 4 6

2 8 7 8 ≤0 13

R ≥9 12

5 4

9

1

4

1

11

15

10

14

К555ИЕ7

+1 СТ2 1 3

–1 2 2

L 4 6

2 8 7 8 ≤0 13

R ≥15 12

К555ИЕ9 2 R СТ10 P

1

8

C

5

4

2

7

EL

3 1 1 6 4 2

9 EC 4 10 EP 8

К555ИЕ10 15 2 R СТ2 P

14 3 1 1 13 6 4 2

1

8

C

5

4

2

7

EL

12 9 EC 4

11 10 EP 8

15

14 13 12

11

К555ИМ5

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 1 | А В  P0 | SM | S  P | 6 |
| 3 |
| 5 |
| 4 |
| 8 |
| 13 |
| А В | SM | S  P |
| 12 |
| 10 |
| 11 |
| P0 |
|  |
|  |

10

A0

A2

В0

13

11

1

В2

3

*=*

12

15 4

2 9

14

K555СП1

A1 = =

A3 A> 5

*>* A= 6 *<*

В1 A< 7

В3

K555ИМ6

A4

A3

A2

A1

11

15

2

6

12 B4 SM P4 9

14 B3 S1 10

3 B2 S2 13 5 B1 S3 1

7 P0 S4 4